

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-045694

(43)Date of publication of application : 17.02.2005

(51)Int.Cl.

H03H 9/17
H01L 21/3065
H01L 41/09
H01L 41/22
H03H 3/02

(21)Application number : 2003-279651

(71)Applicant : SONY CORP

(22)Date of filing : 25.07.2003

(72)Inventor : YOSHIDA HIROSHI

HIDA YUKIO

SATO SUSUMU

SATO KEI

FURUI RIEKO

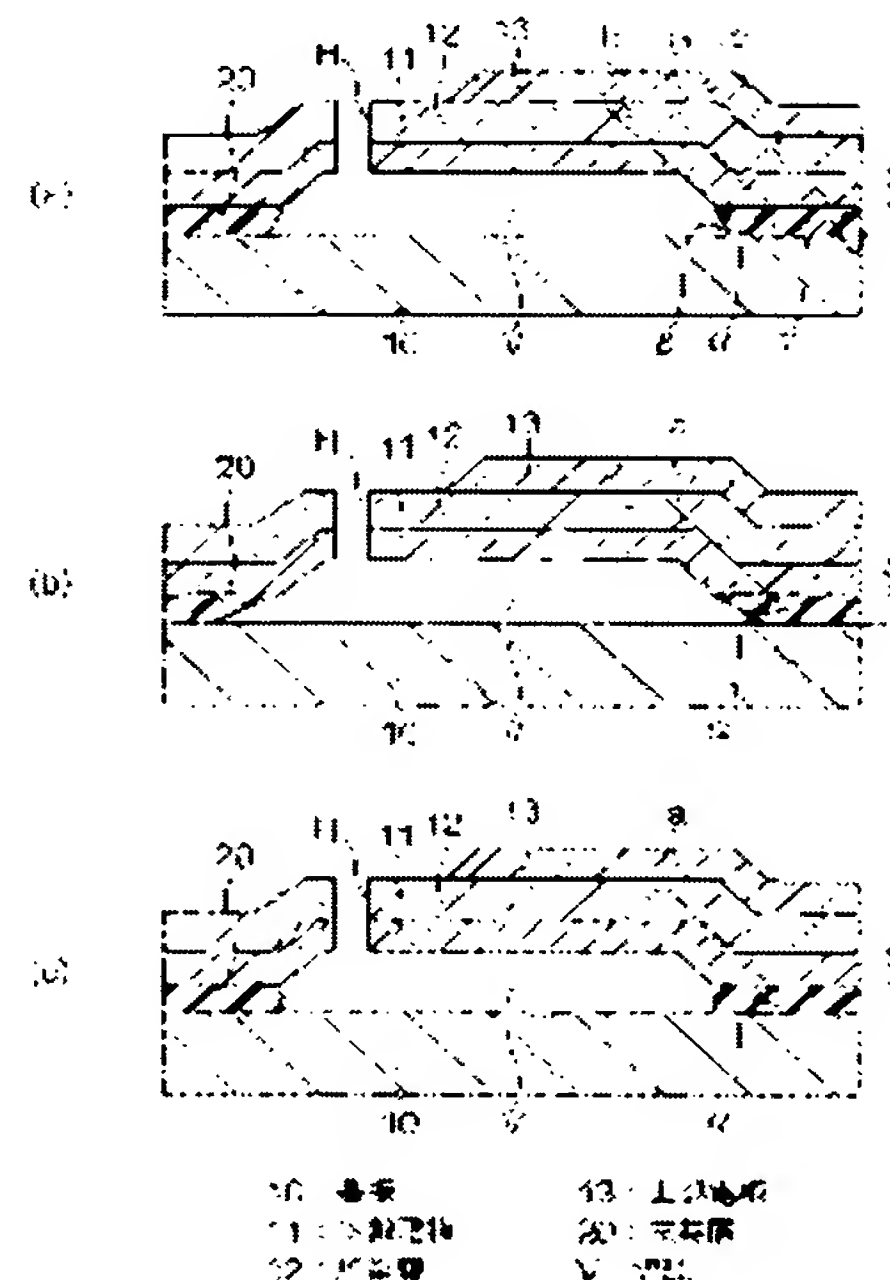
SUETAKA CHIE

(54) THIN FILM BULK SOUND RESONATOR AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an FBAR wherein stable manufacturing which does not cause breakage or teardown of a piezoelectric film is realized, and improvement of productivity and low cost by increase of yield are realized, and further superior resonance characteristic (high orientation and densification of the piezoelectric film) is obtained in an air bridge structured type FBAR.

SOLUTION: The FBAR is provided with a substrate 10; a supporting layer 20 which is formed on the substrate 10 except an air gap V region; and a lamination which is formed on the substrate 10 in a region including the air gap V and constituted of a lower electrode 11, the piezoelectric film 12, and an upper electrode 13. The air gap V is formed between the substrate 10 and the lower electrode 11 so that at least a part is positioned above the surface of the substrate 10 and constitutes a resonance region. Alternatively, at a step-difference portion corresponding to shape of an end of the air gap, the interface of the piezoelectric film and the lower electrode has configuration, e.g. wherein a plurality of surfaces which are not parallel to the surface of the substrate and whose angles with the surface of the substrate are different from each other are stacked from a substrate side to the tip side of the air gap.



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2005-45694
(P2005-45694A)

(43) 公開日 平成17年2月17日(2005.2.17)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H O 3 H 9/17	H O 3 H 9/17	F 5 F 0 0 4
H O 1 L 21/3085	H O 3 H 3/02	B 5 J 1 0 8
H O 1 L 41/09	H O 1 L 41/08	U
H O 1 L 41/22	H O 1 L 41/08	C
H O 3 H 3/02	H O 1 L 41/22	Z
審査請求 未請求 請求項の数 26 O L (全 38 頁) 最終頁に続く		

(21) 出願番号	特願2003-279651 (P2003-279651)	(71) 出願人	000002185
(22) 出願日	平成15年7月25日 (2003. 7. 25)		ソニー株式会社
			東京都品川区北品川6丁目7番35号
		(74) 代理人	100094053
			弁理士 佐藤 隆久
		(72) 発明者	吉田 浩
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		(72) 発明者	飛田 幸男
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		(72) 発明者	佐藤 進
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		最終頁に続く	

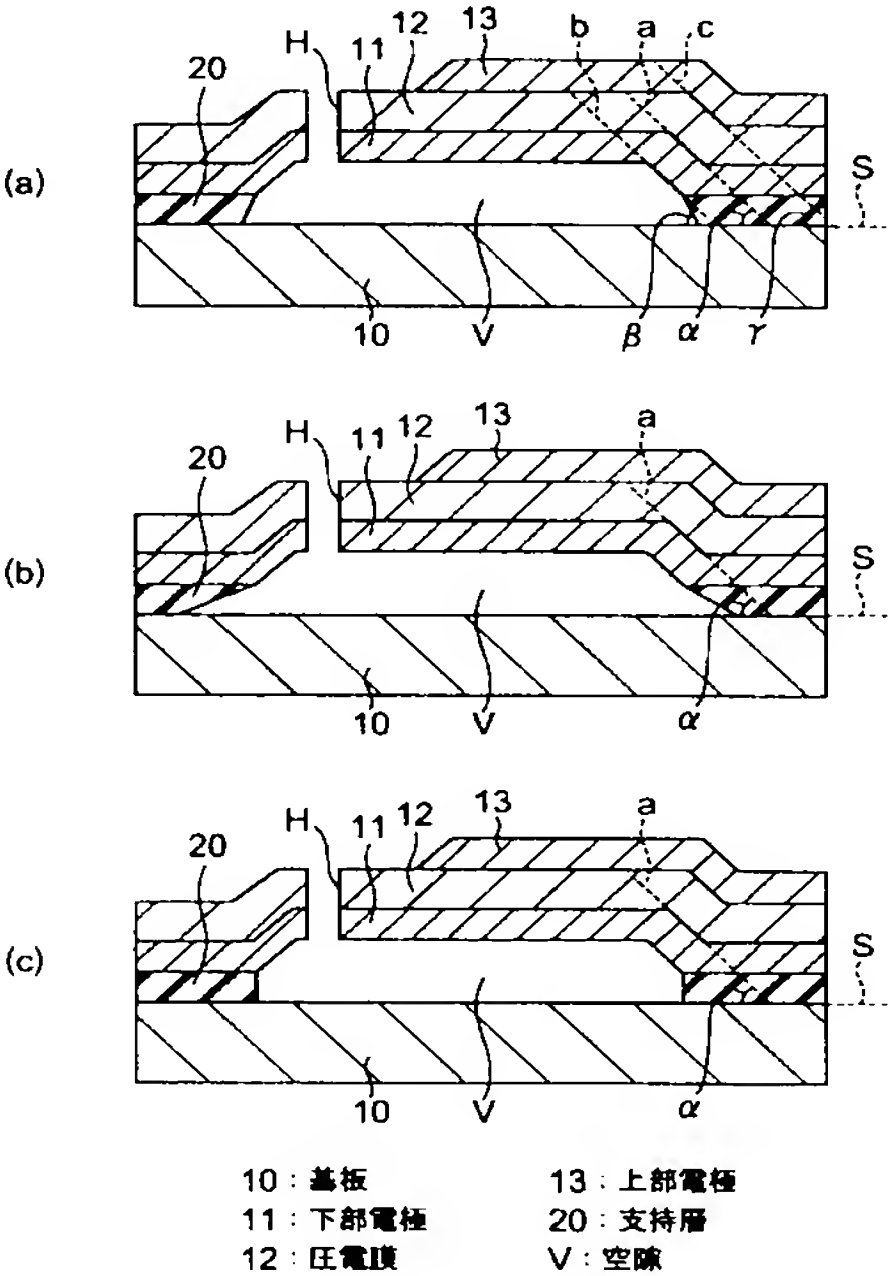
(54) 【発明の名称】 薄膜バルク音響共振子およびその製造方法

(57) 【要約】

【課題】 エアブリッジ構造型F B A Rにおいて、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と低コスト化、および、さらに優れた共振特性（圧電膜の高配向化や緻密化）を有するF B A Rを提供する。

【解決手段】 基板10と、空隙V領域を除いて基板10上に形成された支持層20と、空隙Vを含む領域において基板10上に形成された、下部電極11、圧電膜12および上部電極13の積層体とを有し、空隙Vは、基板10と下部電極11の間に、少なくとも一部が基板10の表面より上方に位置するように形成され、共振領域を構成している構成とする。あるいは、空隙の端部の形状に対応する段差部において、圧電膜と下部電極の界面は、基板の表面に対して非平行であって基板の表面とのなす角が異なる複数の面が、基板側から空隙の頂部側へ積み上げられた構成などとする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板と、

空隙領域を除いて前記基板上に形成された支持層と、

前記空隙を含む領域において前記基板上に形成された、下部電極、圧電膜および上部電極の積層体とを有し、

前記空隙は、前記基板と前記下部電極の間に、少なくとも一部が前記基板の表面より上方に位置するように形成され、共振領域を構成している

薄膜バルク音響共振子。

【請求項 2】

前記空隙の端部の形状に対応する前記圧電膜と前記下部電極の界面の段差部において、前記圧電膜と前記下部電極の界面は、前記基板の表面に対して非平行であって前記基板の表面とのなす角が異なる複数の面が、前記基板側から前記空隙の頂部側へ積み上げられて構成されている

請求項 1 に記載の薄膜バルク音響共振子。

【請求項 3】

前記空隙の端部の形状に対応する前記圧電膜と前記下部電極の界面の段差部において、前記圧電膜と前記下部電極の界面は、前記基板の表面に対して非平行であって前記基板の表面とのなす角が前記基板側から前記空隙の頂部側へと連続的に変化する接面を有する曲面から構成されている

請求項 1 に記載の薄膜バルク音響共振子。

【請求項 4】

前記空隙の端部の形状に対応する前記圧電膜と前記下部電極の界面の段差部において、前記圧電膜と前記下部電極の界面は、前記基板の表面とのなす角であって、前記空隙を挟む角が 40° 以下である面を含んで構成されている

請求項 1 に記載の薄膜バルク音響共振子。

【請求項 5】

前記空隙の端部の形状に対応する前記下部電極の前記空隙を構成する内壁面の段差部において、前記下部電極の内壁面は、前記基板の表面とのなす角であって、前記空隙を挟む角が 40° 以下である面を含んで構成されている

請求項 4 に記載の薄膜バルク音響共振子。

【請求項 6】

前記空隙の端部の形状に対応する前記上部電極と前記圧電膜の界面の段差部において、前記上部電極と前記圧電膜の界面は、前記基板の表面とのなす角であって、前記空隙を挟む角が 40° 以下である面を含んで構成されている

請求項 4 に記載の薄膜バルク音響共振子。

【請求項 7】

基板と、

前記基板上に形成された、下部電極、圧電膜および上部電極の積層体とを有し、

前記基板と前記下部電極の間に、少なくとも一部が前記基板の表面より上方に位置するように、共振領域を構成する空隙が構成されており、

前記空隙の端部の形状に対応する前記圧電膜と前記下部電極の界面の段差部において、前記圧電膜と前記下部電極の界面は、前記基板の表面に対して非平行であって前記基板の表面とのなす角が異なる複数の面が、前記基板側から前記空隙の頂部側へ積み上げられて構成されている

薄膜バルク音響共振子。

【請求項 8】

前記空隙の端部の形状に対応する前記圧電膜と前記下部電極の界面の段差部において、前記圧電膜と前記下部電極の界面は、前記基板の表面とのなす角であって、前記空隙を挟む角が 40° 以下である面を含んで構成されている

10

20

30

40

50

請求項 7 に記載の薄膜バルク音響共振子。

【請求項 9】

基板と、

前記基板上に形成された、下部電極、圧電膜および上部電極の積層体とを有し、

前記基板と前記下部電極の間に、少なくとも一部が前記基板の表面より上方に位置するように、共振領域を構成する空隙が構成されており、

前記空隙の端部の形状に対応する前記圧電膜と前記下部電極の界面の段差部において、前記圧電膜と前記下部電極の界面は、前記基板の表面に対して非平行であって前記基板の表面とのなす角が前記基板側から前記空隙の頂部側へと連続的に変化する接面を有する曲面から構成されている

10

薄膜バルク音響共振子。

【請求項 10】

前記空隙の端部の形状に対応する前記圧電膜と前記下部電極の界面の段差部において、前記圧電膜と前記下部電極の界面は、前記基板の表面とのなす角であって、前記空隙を挟む角が 40° 以下である接面を有する部分を含んで構成されている

請求項 9 に記載の薄膜バルク音響共振子。

【請求項 11】

基板と、

前記基板上に形成された、下部電極、圧電膜および上部電極の積層体とを有し、

前記基板と前記下部電極の間に、少なくとも一部が前記基板の表面より上方に位置するように、共振領域を構成する空隙が構成されており、

20

前記空隙の端部の形状に対応する前記圧電膜と前記下部電極の界面の段差部において、前記圧電膜と前記下部電極の界面は、前記基板の表面とのなす角であって、前記空隙を挟む角が 40° 以下である面を含んで構成されている

薄膜バルク音響共振子。

【請求項 12】

前記空隙の端部の形状に対応する前記下部電極の前記空隙を構成する内壁面の段差部において、前記下部電極の内壁面は、前記基板の表面とのなす角であって、前記空隙を挟む角が 40° 以下である面を含んで構成されている

請求項 11 に記載の薄膜バルク音響共振子。

30

【請求項 13】

前記空隙の端部の形状に対応する前記上部電極と前記圧電膜の界面の段差部において、前記上部電極と前記圧電膜の界面は、前記基板の表面とのなす角であって、前記空隙を挟む角が 40° 以下である面を含んで構成されている

請求項 11 に記載の薄膜バルク音響共振子。

【請求項 14】

基板と、

前記基板上に形成された、下部電極、圧電膜および上部電極の積層体とを有し、

前記基板と前記下部電極の間に、少なくとも一部が前記基板の表面より上方に位置するように、共振領域を構成する空隙が構成されており、

40

前記下部電極の端部の形状に対応する前記圧電膜と前記下部電極の界面の段差部において、前記圧電膜と前記下部電極の界面は、前記基板の表面に対して非平行であって前記基板の表面とのなす角が異なる複数の面が、前記基板側から前記空隙の頂部側へ積み上げられて構成されている

薄膜バルク音響共振子。

【請求項 15】

基板と、

前記基板上に形成された、下部電極、圧電膜および上部電極の積層体とを有し、

前記基板と前記下部電極の間に、少なくとも一部が前記基板の表面より上方に位置するように、共振領域を構成する空隙が構成されており、

50

前記下部電極の端部の形状に対応する前記圧電膜と前記下部電極の界面の段差部において、前記圧電膜と前記下部電極の界面は、前記基板の表面に対して非平行であって前記基板の表面とのなす角が前記基板側から前記空隙の頂部側へと連続的に変化する接面を有する曲面から構成されている

薄膜バルク音響共振子。

【請求項 16】

基板と、

前記基板上に形成された、下部電極、圧電膜および上部電極の積層体とを有し、

前記基板と前記下部電極の間に、少なくとも一部が前記基板の表面より上方に位置するように、共振領域を構成する空隙が構成されており、

10

前記下部電極の端部の形状に対応する前記圧電膜と前記下部電極の界面の段差部において、前記圧電膜と前記下部電極の界面は、前記基板の表面とのなす角であって、前記空隙を挟む角が 40° 以下である面を含んで構成されている

薄膜バルク音響共振子。

【請求項 17】

基板の表面に、前記基板の表面に対して非平行であって前記基板の表面とのなす角が異なる複数の面が、前記基板側から頂部側へ積み上げられて構成されている側面を有するマスク層を形成する工程と、

前記マスク層および前記基板上に下部電極を形成する工程と、

前記下部電極上に圧電膜を形成する工程と、

20

前記圧電膜上に上部電極を形成する工程と、

前記下部電極、前記圧電膜および前記上部電極の積層体に、前記マスク層を露出させる開口部を形成する工程と、

前記開口部から前記マスク層の少なくとも一部を除去する工程と

を有する薄膜バルク音響共振子の製造方法。

【請求項 18】

前記マスク層を形成する工程は、前記基板の表面に、異なるエッチングレートをとることができる複数のマスク層材料からなるマスク層積層体を形成する工程と、前記マスク層積層体を所定のパターンにエッチング加工して、異なるマスク層材料毎に異なる傾斜の側面となるように加工する工程とを含む

30

請求項 17 に記載の薄膜バルク音響共振子の製造方法。

【請求項 19】

前記マスク層を形成する工程は、前記基板の表面にマスク層材料を堆積させる工程と、途中でエッチング条件を変更しながら、前記マスク層材料を所定のパターンにエッチング加工する工程とを含む

請求項 17 に記載の薄膜バルク音響共振子の製造方法。

【請求項 20】

前記マスク層を形成する工程は、前記基板の表面にマスク層材料を堆積させる工程と、前記マスク層材料を所定のパターンにエッチング加工する工程と、前記エッチング加工されたマスク層材料の層の肩部を除去する工程とを含む

40

請求項 17 に記載の薄膜バルク音響共振子の製造方法。

【請求項 21】

基板の表面に、前記基板の表面に対して非平行であって前記基板の表面とのなす角が前記基板側から頂部側へと連続的に変化する接面を有する曲面から構成されている側面を有するマスク層を形成する工程と、

前記マスク層および前記基板上に下部電極を形成する工程と、

前記下部電極上に圧電膜を形成する工程と、

前記圧電膜上に上部電極を形成する工程と、

前記下部電極、前記圧電膜および前記上部電極の積層体に、前記マスク層を露出させる開口部を形成する工程と、

50

前記開口部から前記マスク層の少なくとも一部を除去する工程と
を有する薄膜バルク音響共振子の製造方法。

【請求項 2 2】

前記マスク層を形成する工程は、前記基板の表面に、厚さ方向に異なるエッチングレートをとることができるマスク層材料の層を形成する工程と、前記マスク層材料の層を所定のパターンにエッチング加工して、前記基板の表面に対して非平行であって前記基板の表面とのなす角が前記基板側から頂部側へと連続的に変化する接面を有する曲面から構成されているとなるように加工する工程とを含む

請求項 2 1 に記載の薄膜バルク音響共振子の製造方法。

【請求項 2 3】

基板の表面に、所定のパターンのマスク層を形成する工程と、

前記マスク層および前記基板上に、前記基板の表面に対して非平行であって前記基板の表面とのなす角が異なる複数の面が、前記基板側から頂部側へ積み上げられて構成されている側面を有する下部電極を形成する工程と、

前記側面を被覆して前記下部電極上に圧電膜を形成する工程と、

前記圧電膜上に上部電極を形成する工程と、

前記下部電極、前記圧電膜および前記上部電極の積層体に、前記マスク層を露出させる開口部を形成する工程と、

前記開口部から前記マスク層の少なくとも一部を除去する工程と

を有する薄膜バルク音響共振子の製造方法。

【請求項 2 4】

前記下部電極を形成する工程は、前記マスク層および基板上に、異なるエッチングレートをとることができる複数の下部電極材料からなる下部電極積層体を形成する工程と、前記下部電極積層体を所定のパターンにエッチング加工して、異なる下部電極材料毎に異なる傾斜の側面となるように加工する工程とを含む

請求項 2 3 に記載の薄膜バルク音響共振子の製造方法。

【請求項 2 5】

基板の表面に、所定のパターンのマスク層を形成する工程と、

前記マスク層および前記基板上に、前記基板の表面とのなす角であって、前記マスク層を挟む角が 40° 以下である面を含んで構成されている側面を有する下部電極を形成する工程と、

前記側面を被覆して前記下部電極上に圧電膜を形成する工程と、

前記圧電膜上に上部電極を形成する工程と、

前記下部電極、前記圧電膜および前記上部電極の積層体に、前記マスク層を露出させる開口部を形成する工程と、

前記開口部から前記マスク層の少なくとも一部を除去する工程と

を有する薄膜バルク音響共振子の製造方法。

【請求項 2 6】

前記下部電極を形成する工程は、前記マスク層および基板上に、下部電極材料層を形成する工程と、前記下部電極材料層を所定のパターンにエッチング加工して、前記基板の表面とのなす角であって、前記マスク層を挟む角が 40° 以下である側面となるように加工する工程とを含む

請求項 2 5 に記載の薄膜バルク音響共振子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜バルク音響共振子（F B A R : Thin Film Bulk Acoustic Wave Resonators）およびその製造方法に関するものである。

【背景技術】

【0002】

10

20

30

40

50

携帯電話などのワイヤレス通信システムやワイヤレスセンシングシステムにおける送信フィルタやデュプレクサなどの回路に用いられる素子として、フィルタ特性などに優れ装置の小型化を可能にする F B A R は注目を浴びている。

【 0 0 0 3 】

上記の F B A R の構造および製造方法としては、(1) 基板加工方式、(2) 裏面 V I A 方式、(3) エアブリッジ方式、および(4) 多層音響ミラー方式およびこれらを組み合わせた方式などが知られている。

上記の中で、特にエアブリッジ方式あるいはそれを組み合わせた方式は、製造方法上の複雑な工程を簡略化でき、低コスト化の可能性が高い方法の一つとして知られている。

【 0 0 0 4 】

例えば、非特許文献 1 には、エアブリッジ方式の F B A R の製造方法において、酸化亜鉛 (Z n O) からなる犠牲層を用いて基板上にエアブリッジを形成することが可能であることの記載がある。

【 0 0 0 5 】

また、非特許文献 2 には、エアブリッジ方式の F B A R の製造方法において、犠牲膜に C u 膜を採用することで、効果的な特性を有する F B A R を製造できることの記載がなされている。

【 0 0 0 6 】

さらに、特許文献 1 には、F B A R を形成するための改良された方法や、従来用いられてきた基板より効果的な特性を持った基板上に形成された F B A R についての記載がなされている。

【 0 0 0 7 】

一方、非特許文献 3 には、ゲルマニウム (G e) からなる犠牲膜を用いて基板上にエアブリッジを形成することで、従来の材料の場合より効果的に半導体集積回路上に F B A R を搭載できる製造方法についての記載がなされている。

【 0 0 0 8 】

図 2 7 は従来例に係る上記のエアブリッジ型の F B A R の構成を示す模式断面図である。

基板 1 0 0 上に、下部電極 1 0 1、圧電膜 1 0 2、および、上部電極 1 0 3 が積層している。

ここで、下部電極 1 0 1 と基板 1 0 0 の間には、所定の空隙 V が設けられており、圧電膜の振動を可能にする共振領域であるキャビティとなっている。

【 0 0 0 9 】

上記のエアブリッジ型の F B A R は、構造上、共振領域となる空隙に起因する凸状の表面起伏が特徴的である。このため、圧電膜に対して空隙 V の外周縁部に相当する部分 S a において凸状の表面起伏に起因する段差形状が形成され、圧電膜に過大な膜応力の蓄積と集中が発生する。

上記の現象は、下部電極 1 0 1 の端部領域 S b においても同様であり、圧電膜に対して下部電極 1 0 1 の端部領域 S b において下部電極 1 0 1 の端部の表面起伏に起因する段差形状が形成され、圧電膜に過大な膜応力の蓄積と集中が発生する。

【 0 0 1 0 】

F B A R に形成される圧電膜としては、例えば A l N、Z n O、P Z T などのバルク弾性デバイスに優れた圧電定数や弾性定数を有するセラミックス系の圧電材料を採用することが望ましいが、これらの材料は一般に著しく高い脆性を有する。このため、圧電膜への局所的な応力の蓄積と集中によって圧電膜の破損 C R や破壊を引き起こしやすいという課題を有する。

【 0 0 1 1 】

それらセラミックス系圧電膜への部分的応力集中は、F B A R 製造工程を付加していく際、物理的衝撃や熱処理サイクル、および付加される電極膜応力との相互作用などの影響が加わるにつれ、破損や破壊を次第に引き起こし始めることになる。

10

20

30

40

50

このようなわずかな工程の環境負荷が圧電膜の欠陥を誘発し、その後の工程で次第にそれらの不良が明らかになることが多い。

【0012】

一方で、F B A R の共振特性を向上させるためには、優れた圧電特性と弾性特性を備えた圧電膜が求められ、現在それらの圧電膜を得るにはスパッタリング法による成膜が一般的に行われており、A l N、Z n O などでは特に C 軸に高配向した緻密な膜を得ることが必要となる。

そのような特性を満たした膜質ほど膜自体の内部応力が高くなる傾向があり、その高内部応力はエアブリッジ型構造 F B A R の空隙周辺領域における表面起伏が一層の破損や破壊を助長する。

10

【0013】

また、エアブリッジ構造型の F B A R は、半導体集積回路への混載化が製造工程の整合性から最も有利な構造である。しかしながら、半導体集積回路に混載する際に大きな制約となるのが、圧電膜の低温成膜化プロセス（400℃以下のスパッタリング工程）である。

この圧電膜の低温スパッタリング工程もまた同様に、圧電膜の内部応力が高くなる傾向があり、その高内部応力はエアブリッジ型構造 F B A R の空隙周辺領域における表面起伏が一層の破損や破壊を助長する。

【0014】

従って、エアブリッジ構造型 F B A R において、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と低コスト化、および、さらに優れた共振特性（圧電膜の高配向化や緻密化）を有する F B A R の提供の実現と、このような F B A R の半導体集積回路への混載プロセスを実現するために、この圧電膜の局所的応力集中を緩和することが大きな課題となっている。

20

【特許文献1】特表2002-509644号公報

【非特許文献1】Hiroaki Satoh, Yasuo Ebata, Hitoshi Suzuki and Choji Narahara, 「An Air-Gap Type Piezoelectric Composite Thin Film Resonator」, IEEE Proc. 39th Annual Symp. Freq. Control, pp.361-355 (1985)

【非特許文献2】「Thin Film Bulk Acoustic Wave Resonator」, IEEE Transaction on Ultrasonics, Ferroelectrics and Frequency Control (2002)

30

【非特許文献3】Masayoshi Esasi and Motoaki Hara, 「Aluminium Nitride Thin Film 2 GHz Resonator Using Germanium Sacrificial Layer Etching」, Mems Symposium 2002 Tohoku Univ.

【発明の開示】

【発明が解決しようとする課題】

【0015】

解決しようとする問題点は、エアブリッジ型の薄膜バルク音響共振子において、圧電膜に対して局所的応力が集中しやすい構造である点である。

【課題を解決するための手段】

【0016】

40

本発明の薄膜バルク音響共振子は、基板と、空隙領域を除いて前記基板上に形成された支持層と、前記空隙を含む領域において前記基板上に形成された、下部電極、圧電膜および上部電極の積層体とを有し、前記空隙は、前記基板と前記下部電極の間に、少なくとも一部が前記基板の表面より上方に位置するように形成され、共振領域を構成している。

【0017】

上記の本発明の薄膜バルク音響共振子は、基板に、下部電極、圧電膜および上部電極の積層体が形成されており、空隙領域における基板と下部電極の間に、少なくとも一部が基板の表面より上方に位置するように、共振領域を構成する空隙が構成されている。

ここで、空隙領域を除く領域に、基板と下部電極、圧電膜および上部電極の積層体との間に支持層が形成されている。

50

【0018】

また、本発明の薄膜バルク音響共振子は、基板と、前記基板上に形成された、下部電極、圧電膜および上部電極の積層体とを有し、前記基板と前記下部電極の間に、少なくとも一部が前記基板の表面より上方に位置するように、共振領域を構成する空隙が構成されており、前記空隙の端部の形状に対応する前記圧電膜と前記下部電極の界面の段差部において、前記圧電膜と前記下部電極の界面は、前記基板の表面に対して非平行であって前記基板の表面とのなす角が異なる複数の面が、前記基板側から前記空隙の頂部側へ積み上げられて構成されている。

【0019】

上記の本発明の薄膜バルク音響共振子は、基板に、下部電極、圧電膜および上部電極の積層体が形成されており、空隙領域における基板と下部電極の間に、少なくとも一部が基板の表面より上方に位置するように、共振領域を構成する空隙が構成されている。

10

ここで、空隙の端部の形状に対応する圧電膜と下部電極の界面の段差部において、圧電膜と下部電極の界面は、基板の表面に対して非平行であって基板の表面とのなす角が異なる複数の面が、基板側から空隙の頂部側へ積み上げられて構成されている。

【0020】

また、本発明の薄膜バルク音響共振子は、基板と、前記基板上に形成された、下部電極、圧電膜および上部電極の積層体とを有し、前記基板と前記下部電極の間に、少なくとも一部が前記基板の表面より上方に位置するように、共振領域を構成する空隙が構成されており、前記空隙の端部の形状に対応する前記圧電膜と前記下部電極の界面の段差部において、前記圧電膜と前記下部電極の界面は、前記基板の表面に対して非平行であって前記基板の表面とのなす角が前記基板側から前記空隙の頂部側へと連続的に変化する接面を有する曲面から構成されている。

20

【0021】

上記の本発明の薄膜バルク音響共振子は、基板に、下部電極、圧電膜および上部電極の積層体が形成されており、空隙領域における基板と下部電極の間に、少なくとも一部が基板の表面より上方に位置するように、共振領域を構成する空隙が構成されている。

ここで、空隙の端部の形状に対応する圧電膜と下部電極の界面の段差部において、圧電膜と下部電極の界面は、基板の表面に対して非平行であって基板の表面とのなす角が基板側から空隙の頂部側へと連続的に変化する接面を有する曲面から構成されている。

30

【0022】

また、本発明の薄膜バルク音響共振子は、基板と、前記基板上に形成された、下部電極、圧電膜および上部電極の積層体とを有し、前記基板と前記下部電極の間に、少なくとも一部が前記基板の表面より上方に位置するように、共振領域を構成する空隙が構成されており、前記空隙の端部の形状に対応する前記圧電膜と前記下部電極の界面の段差部において、前記圧電膜と前記下部電極の界面は、前記基板の表面とのなす角であって、前記空隙を挟む角が 40° 以下である面を含んで構成されている。

【0023】

上記の本発明の薄膜バルク音響共振子は、基板に、下部電極、圧電膜および上部電極の積層体が形成されており、空隙領域における基板と下部電極の間に、少なくとも一部が基板の表面より上方に位置するように、共振領域を構成する空隙が構成されている。

40

ここで、空隙の端部の形状に対応する圧電膜と下部電極の界面の段差部において、圧電膜と下部電極の界面は、基板の表面とのなす角であって、空隙を挟む角が 40° 以下である面を含んで構成されている。

【0024】

また、本発明の薄膜バルク音響共振子は、基板と、前記基板上に形成された、下部電極、圧電膜および上部電極の積層体とを有し、前記基板と前記下部電極の間に、少なくとも一部が前記基板の表面より上方に位置するように、共振領域を構成する空隙が構成されており、前記下部電極の端部の形状に対応する前記圧電膜と前記下部電極の界面の段差部において、前記圧電膜と前記下部電極の界面は、前記基板の表面に対して非平行であって前

50

記基板の表面とのなす角が異なる複数の面が、前記基板側から前記空隙の頂部側へ積み上げられて構成されている。

【0025】

上記の本発明の薄膜バルク音響共振子は、基板に、下部電極、圧電膜および上部電極の積層体が形成されており、空隙領域における基板と下部電極の間に、少なくとも一部が基板の表面より上方に位置するように、共振領域を構成する空隙が構成されている。

ここで、下部電極の端部の形状に対応する圧電膜と下部電極の界面の段差部において、圧電膜と下部電極の界面は、基板の表面に対して非平行であって基板の表面とのなす角が異なる複数の面が、基板側から空隙の頂部側へ積み上げられて構成されている。

【0026】

また、本発明の薄膜バルク音響共振子は、基板と、前記基板上に形成された、下部電極、圧電膜および上部電極の積層体とを有し、前記基板と前記下部電極の間に、少なくとも一部が前記基板の表面より上方に位置するように、共振領域を構成する空隙が構成されており、前記下部電極の端部の形状に対応する前記圧電膜と前記下部電極の界面の段差部において、前記圧電膜と前記下部電極の界面は、前記基板の表面に対して非平行であって前記基板の表面とのなす角が前記基板側から前記空隙の頂部側へと連続的に変化する接面を有する曲面から構成されている。

【0027】

上記の本発明の薄膜バルク音響共振子は、基板に、下部電極、圧電膜および上部電極の積層体が形成されており、空隙領域における基板と下部電極の間に、少なくとも一部が基板の表面より上方に位置するように、共振領域を構成する空隙が構成されている。

ここで、下部電極の端部の形状に対応する圧電膜と下部電極の界面の段差部において、圧電膜と下部電極の界面は、基板の表面に対して非平行であって基板の表面とのなす角が基板側から空隙の頂部側へと連続的に変化する接面を有する曲面から構成されている。

【0028】

また、本発明の薄膜バルク音響共振子は、基板と、前記基板上に形成された、下部電極、圧電膜および上部電極の積層体とを有し、前記基板と前記下部電極の間に、少なくとも一部が前記基板の表面より上方に位置するように、共振領域を構成する空隙が構成されており、前記下部電極の端部の形状に対応する前記圧電膜と前記下部電極の界面の段差部において、前記圧電膜と前記下部電極の界面は、前記基板の表面とのなす角であって、前記空隙を挟む角が 40° 以下である面を含んで構成されている。

【0029】

上記の本発明の薄膜バルク音響共振子は、基板に、下部電極、圧電膜および上部電極の積層体が形成されており、空隙領域における基板と下部電極の間に、少なくとも一部が基板の表面より上方に位置するように、共振領域を構成する空隙が構成されている。

ここで、下部電極の端部の形状に対応する圧電膜と下部電極の界面の段差部において、圧電膜と下部電極の界面は、基板の表面とのなす角であって、空隙を挟む角が 40° 以下である面を含んで構成されている。

【0030】

また、本発明の薄膜バルク音響共振子の製造方法は、基板の表面に、前記基板の表面に対して非平行であって前記基板の表面とのなす角が異なる複数の面が、前記基板側から頂部側へ積み上げられて構成されている側面を有するマスク層を形成する工程と、前記マスク層および前記基板上に下部電極を形成する工程と、前記下部電極上に圧電膜を形成する工程と、前記圧電膜上に上部電極を形成する工程と、前記下部電極、前記圧電膜および前記上部電極の積層体に、前記マスク層を露出させる開口部を形成する工程と、前記開口部から前記マスク層の少なくとも一部を除去する工程とを有する。

【0031】

上記の本発明の薄膜バルク音響共振子の製造方法は、まず、基板の表面に、基板の表面に対して非平行であって基板の表面とのなす角が異なる複数の面が基板側から頂部側へ積み上げられて構成されている側面を有するマスク層を形成する。

10

20

30

40

50

次に、マスク層および基板上に下部電極を形成し、下部電極上に圧電膜を形成し、圧電膜上に上部電極を形成する。さらに、下部電極、圧電膜および上部電極の積層体に、マスク層を露出させる開口部を形成し、開口部からマスク層の少なくとも一部を除去する。

【0032】

また、本発明の薄膜バルク音響共振子の製造方法は、基板の表面に、前記基板の表面に対して非平行であって前記基板の表面とのなす角が前記基板側から頂部側へと連続的に変化する接面を有する曲面から構成されている側面を有するマスク層を形成する工程と、前記マスク層および前記基板上に下部電極を形成する工程と、前記下部電極上に圧電膜を形成する工程と、前記圧電膜上に上部電極を形成する工程と、前記下部電極、前記圧電膜および前記上部電極の積層体に、前記マスク層を露出させる開口部を形成する工程と、前記開口部から前記マスク層の少なくとも一部を除去する工程とを有する。

10

【0033】

上記の本発明の薄膜バルク音響共振子の製造方法は、まず、基板の表面に、基板の表面に対して非平行であって基板の表面とのなす角が基板側から頂部側へと連続的に変化する接面を有する曲面から構成されている側面を有するマスク層を形成する。

次に、マスク層および基板上に下部電極を形成し、下部電極上に圧電膜を形成し、圧電膜上に上部電極を形成する。さらに、下部電極、圧電膜および上部電極の積層体に、マスク層を露出させる開口部を形成し、開口部からマスク層の少なくとも一部を除去する。

【0034】

また、本発明の薄膜バルク音響共振子の製造方法は、基板の表面に、所定のパターンのマスク層を形成する工程と、前記マスク層および前記基板上に、前記基板の表面に対して非平行であって前記基板の表面とのなす角が異なる複数の面が、前記基板側から頂部側へ積み上げられて構成されている側面を有する下部電極を形成する工程と、前記側面を被覆して前記下部電極上に圧電膜を形成する工程と、前記圧電膜上に上部電極を形成する工程と、前記下部電極、前記圧電膜および前記上部電極の積層体に、前記マスク層を露出させる開口部を形成する工程と、前記開口部から前記マスク層の少なくとも一部を除去する工程とを有する。

20

【0035】

上記の本発明の薄膜バルク音響共振子の製造方法は、まず、基板の表面に、所定のパターンのマスク層を形成する。

30

次に、マスク層および基板上に、基板の表面に対して非平行であって基板の表面とのなす角が異なる複数の面が、基板側から頂部側へ積み上げられて構成されている側面を有する下部電極を形成する。

次に、この側面を被覆して下部電極上に圧電膜を形成し、圧電膜上に上部電極を形成する。さらに、下部電極、圧電膜および上部電極の積層体に、マスク層を露出させる開口部を形成し、開口部からマスク層の少なくとも一部を除去する。

【0036】

また、本発明の薄膜バルク音響共振子の製造方法は、基板の表面に、所定のパターンのマスク層を形成する工程と、前記マスク層および前記基板上に、前記基板の表面とのなす角であって、前記マスク層を挟む角が 40° 以下である面を含んで構成されている側面を有する下部電極を形成する工程と、前記側面を被覆して前記下部電極上に圧電膜を形成する工程と、前記圧電膜上に上部電極を形成する工程と、前記下部電極、前記圧電膜および前記上部電極の積層体に、前記マスク層を露出させる開口部を形成する工程と、前記開口部から前記マスク層の少なくとも一部を除去する工程とを有する。

40

【0037】

上記の本発明の薄膜バルク音響共振子の製造方法は、まず、基板の表面に、所定のパターンのマスク層を形成する。

次に、マスク層および基板上に、基板の表面とのなす角であって、マスク層を挟む角が 40° 以下である面を含んで構成されている側面を有する下部電極を形成する。

次に、この側面を被覆して下部電極上に圧電膜を形成し、圧電膜上に上部電極を形成す

50

る。さらに、下部電極、圧電膜および上部電極の積層体に、マスク層を露出させる開口部を形成し、開口部からマスク層の少なくとも一部を除去する。

【発明の効果】

【0038】

本発明の薄膜バルク音響共振子は、エアブリッジ型の薄膜バルク音響共振子において、下部電極、圧電膜および上部電極の積層体と基板との間に支持層が形成されていること、あるいは、圧電膜と下部電極の界面の段差部において、圧電膜と下部電極の界面は、基板の表面に対して非平行であって基板の表面とのなす角が異なる複数の面が、基板側から空隙の頂部側へ積み上げられている構成となっていることなどにより、圧電膜に対する局所的応力が緩和され、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と、それに伴う低コスト化を実現できる。

10

【0039】

本発明の薄膜バルク音響共振子の製造方法は、上記の本発明の薄膜バルク音響共振子を半導体集積回路への混載プロセスにより製造することが実現できる。

【発明を実施するための最良の形態】

【0040】

以下に、本発明の薄膜バルク音響共振子（F B A R）およびその製造方法の実施の形態について、図面を参照して説明する。

【0041】

第1実施形態

20

図1（a）は本実施形態に係るF B A Rの構成を示す模式断面図である。

例えば、シリコン基板10上の空隙領域を除く領域において、窒化シリコンなどからなる支持層20が形成されており、その上層に、空隙領域を含む領域において、下部電極11、圧電膜12および上部電極13の積層体が形成されている。下部電極11および上部電極13は例えばモリブデン（Mo）、タングステン（W）、アルミニウム（Al）、チタン（Ti）などからなり、圧電膜12は例えば窒化アルミニウム、酸化亜鉛、P Z Tなどからなる。

空隙領域においては、シリコン基板10と下部電極11の間に、少なくとも一部がシリコン基板10の表面より上方に位置するように、共振領域を構成する空隙Vが構成されている。

30

下部電極11および圧電膜12には、空隙Vに通じる開口部IIが形成されている。

【0042】

上記のF B A Rはエアブリッジ型の薄膜バルク音響共振子であって、下部電極11、圧電膜12および上部電極13の積層体と基板10との間に支持層20が形成されており、所定の高さの支持層20を形成することにより、従来のエアブリッジ型の薄膜バルク音響共振子と比較して、ある程度の空隙の高さを確保しながら段差を小さく抑制することができるので、圧電膜に対する局所的応力が緩和され、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と、それに伴う低コスト化を実現できる。

【0043】

上記のF B A Rにおいて、空隙Vの端部の形状に対応する圧電膜12と下部電極11の界面の段差部における圧電膜12と下部電極11の界面が、シリコン基板10の表面とのなす角であって、空隙Vを挟む角が40°以下である面を含んで構成されていることが好ましい。なお、空隙Vを挟む角度を40°以下とする理由は後述する実験結果による。

40

即ち、段差部における圧電膜12と下部電極11の界面aとシリコン基板10の表面sのなす角であって、空隙Vを挟む角 α が40°以下となっていることが好ましい。

これにより、圧電膜に対する局所的応力をさらに緩和することができる。

【0044】

さらに、空隙Vを構成する内壁面であって段差部における下部電極11の内壁面が、シリコン基板10の表面sとのなす角であって、空隙Vを挟む角が40°以下である面を含んで構成されていることが好ましい。

50

即ち、段差部における下部電極 11 の内壁面 b とシリコン基板 10 の表面 s のなす角であって、空隙 V を挟む角 β が 40° 以下となっていることが好ましい。

【0045】

また、空隙 V の端部の形状に対応する上部電極 13 と圧電膜 12 の界面の段差部における上部電極 13 と圧電膜 12 の界面が、シリコン基板 10 の表面 s とのなす角であって、空隙 V を挟む角が 40° 以下である面を含んで構成されていることが好ましい。

即ち、段差部における上部電極 13 と圧電膜 12 の界面 c とシリコン基板 10 の表面 s のなす角であって、空隙 V を挟む角 γ が 40° 以下となっていることが好ましい。

【0046】

上記の角 β や角 γ が 40° 以下となっている場合、通常は下部電極や圧電膜は膜厚が全面に均等に形成されているので、段差部における圧電膜 12 と下部電極 11 の界面 a とシリコン基板 10 の表面 s のなす角であって、空隙 V を挟む角 α が 40° 以下となるのを実現できる。

【0047】

本実施形態の FBAR においては、支持層 20 は、製造工程において用いる空隙 V の型となる層に対して異なるエッチング選択比をとることができる絶縁性の材料を用いることができ、例えば窒化シリコンを好ましく用いることができる。

支持層 20 の空隙 V を構成する内壁面とシリコン基板 10 の表面 s とのなす角については特に限定はない。

図 1 (a) の構成のように、例えば支持層 20 の空隙 V を構成する内壁面とシリコン基板 10 の表面 s とのなす角であって空隙 V を挟む角が、段差部における圧電膜 12 と下部電極 11 の界面 a とシリコン基板 10 の表面 s のなす角であって、空隙 V を挟む角 α よりも大きくてよい。

【0048】

図 1 (b) および図 1 (c) は図 1 (a) は本実施形態の FBAR の変形例の構成を示す模式断面図である。

本実施形態に係る FBAR は、図 1 (b) の構成のように、支持層 20 の空隙 V を構成する内壁面とシリコン基板 10 の表面 s とのなす角であって空隙 V を挟む角が、段差部における圧電膜 12 と下部電極 11 の界面 a とシリコン基板 10 の表面 s のなす角であって、空隙 V を挟む角 α よりも小さくてもよく、また、図 1 (c) に示すように、支持層 20 の空隙 V を構成する内壁面とシリコン基板 10 の表面 s と直交する構成であってもよい。

図 1 (b) および図 1 (c) においても、下部電極、圧電膜および上部電極の積層体と基板との間に支持層が形成されており、これにより、従来のエアブリッジ型の薄膜バルク音響共振子と比較して、ある程度の空隙の高さを確保しながら段差を小さく抑制することができ、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と、それに伴う低コスト化を実現できる。

【0049】

また、さらに、空隙 V の端部の形状に対応する圧電膜 12 と下部電極 11 の界面の段差部において、圧電膜 12 と下部電極 11 の界面は、シリコン基板 10 の表面 s に対して非平行であってシリコン基板 10 の表面 s とのなす角が異なる複数の面が、シリコン基板 10 側から空隙 V の頂部側へ積み上げられた構成とすることも好ましく、これによりさらに圧電膜に対する応力を緩和することができる。

【0050】

第 2 実施形態

図 2 (a) は本実施形態に係る FBAR の構成を示す模式断面図である。

例えば、シリコン基板 10 上に、下部電極 11、圧電膜 12 および上部電極 13 の積層体が形成されている。

また、シリコン基板 10 と下部電極 11 の間に、少なくとも一部がシリコン基板 10 の表面より上方に位置するように、共振領域を構成する空隙 V が構成されている。

下部電極 11 および圧電膜 12 には、空隙 V に通じる開口部 H が形成されている。

下部電極 1 1 および上部電極 1 3 あるいは圧電膜 1 2 を構成する材料は第 1 実施形態と同様である。

また、空隙 V の底面に絶縁膜 2 1 が形成されている。絶縁膜 2 1 は、例えば、空隙 V を形成するための型として形成された膜が完全に除去されず、一部が残されることによって形成された膜である。

【0051】

上記の F B A R においては、空隙 V の端部の形状に対応する圧電膜 1 2 と下部電極 1 1 の界面の段差部において、圧電膜 1 2 と下部電極 1 1 の界面は、シリコン基板 1 0 の表面に対して非平行であってシリコン基板 1 0 の表面 s とのなす角が異なる複数の面が、シリコン基板 1 0 側から空隙 V の頂部側へ積み上げられて構成されている。

10

即ち、段差部における圧電膜 1 2 と下部電極 1 1 の界面が、シリコン基板 1 0 の表面 s のなす角であって、空隙 V を挟む第 1 の角 α_1 を構成する第 1 の面 a_1 と、第 1 の角 α_1 と異なる第 2 の角 α_2 を構成する第 2 の面 a_2 とから構成されている。

ここでは、第 1 の角 $\alpha_1 <$ 第 2 の角 α_2 となっている。

【0052】

上記の F B A R はエアブリッジ型の薄膜バルク音響共振子であって、段差部における圧電膜と下部電極の界面は、シリコン基板の表面に対して非平行であってシリコン基板の表面とのなす角が異なる複数の面が、シリコン基板側から空隙の頂部側へ積み上げられて構成されている。これにより、従来のエアブリッジ型の薄膜バルク音響共振子と比較して、圧電膜に対する段差の影響を小さく抑制して局所的応力が緩和され、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と、それに伴う低コスト化を実現できる。

20

【0053】

上記の F B A R において、空隙 V の端部の形状に対応する圧電膜 1 2 と下部電極 1 1 の界面の段差部における圧電膜 1 2 と下部電極 1 1 の界面が、シリコン基板 1 0 の表面とのなす角であって、空隙 V を挟む角が 40° 以下である面を含んで構成されていることが好ましい。

即ち、段差部における圧電膜 1 2 と下部電極 1 1 の界面を構成する第 1 の面 a_1 と第 2 の面 a_2 の少なくともいずれか一方が、シリコン基板 1 0 の表面 s のなす角であって、空隙 V を挟む角が 40° 以下となる面となっていることが好ましい。

30

これにより、圧電膜に対する局所的応力をさらに緩和することができる。

【0054】

本実施形態の F B A R においては、空隙 V を構成する内壁面であって段差部における下部電極 1 1 の内壁面が、シリコン基板 1 0 の表面 s のなす角であって、空隙 V を挟む第 1 の角 β_1 を構成する第 1 の面 b_1 と、第 1 の角 β_1 と異なる第 2 の角 β_2 を構成する第 2 の面 b_2 とから構成されている。

また、段差部における上部電極 1 3 と圧電膜 1 2 の界面が、シリコン基板 1 0 の表面 s のなす角であって、空隙 V を挟む第 1 の角 γ_1 を構成する第 1 の面 c_1 と、第 1 の角 γ_1 と異なる第 2 の角 γ_2 を構成する第 2 の面 c_2 とから構成されている。

【0055】

40

上述のように、段差部における圧電膜 1 2 と下部電極 1 1 の界面が、シリコン基板 1 0 の表面とのなす角であって、空隙 V を挟む角が 40° 以下である面を含むためには、例えば、空隙 V を構成する内壁面であって段差部における下部電極 1 1 の内壁面について、第 1 の面 b_1 と第 2 の面 b_2 の少なくともいずれか一方が、シリコン基板 1 0 の表面 s のなす角であって、空隙 V を挟む角が 40° 以下となる面となっていることが好ましい。

また、段差部における上部電極 1 3 と圧電膜 1 2 の界面について、第 1 の面 c_1 と第 2 の面 c_2 の少なくともいずれか一方が、シリコン基板 1 0 の表面 s のなす角であって、空隙 V を挟む角が 40° 以下となる面となっていることが好ましい。

【0056】

図 2 (b) は図 2 (a) に示す本実施形態の F B A R の変形例の構成を示す模式断面図

50

である。

実質的に図 2 (a) の構成と同様であるが、第 1 の角 $\alpha_1 >$ 第 2 の角 α_2 である構成となっている。

図 2 (b) においても、空隙の端部の形状に対応する圧電膜と下部電極の界面の段差部において、圧電膜と下部電極の界面は、シリコン基板の表面に対して非平行であってシリコン基板の表面とのなす角が異なる複数の面が、シリコン基板側から空隙の頂部側へ積み上げられて構成されているので、従来のエアブリッジ型の薄膜バルク音響共振子と比較して、圧電膜に対する段差の影響を小さく抑制して局所的応力が緩和され、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と、それに伴う低コスト化を実現できる。

10

図 2 (a) は図 2 (b) に示す本実施形態の F B A R において、絶縁膜 21 は必ずしも必要ではなく、形成されていなくてもよい。

【0057】

第 3 実施形態

図 3 (a) は本実施形態に係る F B A R の構成を示す模式断面図である。

例えば、シリコン基板 10 上に、下部電極 11、圧電膜 12 および上部電極 13 の積層体が形成されている。

また、シリコン基板 10 と下部電極 11 の間に、少なくとも一部がシリコン基板 10 の表面より上方に位置するように、共振領域を構成する空隙 V が構成されている。

下部電極 11 および圧電膜 12 には、空隙 V に通じる開口部が形成されているが、図面上は省略されている。

20

下部電極 11 および上部電極 13 あるいは圧電膜 12 を構成する材料は第 1 実施形態と同様である。

【0058】

上記の F B A R においては、空隙 V の端部の形状に対応する圧電膜 12 と下部電極 11 の界面の段差部において、圧電膜 12 と下部電極 11 の界面は、シリコン基板 10 の表面に対して非平行であってシリコン基板 10 の表面とのなす角がシリコン基板 10 側から空隙 V の頂部側へと連続的に変化する接面を有する曲面 R から構成されている。

即ち、段差部における圧電膜 12 と下部電極 11 の界面が、シリコン基板 10 の表面 s のなす角であって、空隙 V を挟む第 1 の角 α_1 を構成する第 1 の接面 a_1 と、第 1 の角 α_1 と異なる第 2 の角 α_2 を構成する第 2 の接面 a_2 とを含むように、傾きが連続的に変化する接面を有する曲面 R となっている。

30

本実施形態においては、上記の曲面 R が空隙 V の頂部に至るまで連続的に続いている。

【0059】

上記の F B A R はエアブリッジ型の薄膜バルク音響共振子であって、段差部における圧電膜と下部電極の界面は、シリコン基板の表面に対して非平行であってシリコン基板の表面とのなす角がシリコン基板側から空隙の頂部側へと連続的に変化する接面を有する曲面から構成されている。これにより、従来のエアブリッジ型の薄膜バルク音響共振子と比較して、圧電膜に対する段差の影響を小さく抑制して局所的応力が緩和され、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と、それに伴う低コスト化を実現できる。

40

【0060】

上記の F B A R において、空隙 V の端部の形状に対応する圧電膜 12 と下部電極 11 の界面の段差部における圧電膜 12 と下部電極 11 の界面が、シリコン基板 10 の表面とのなす角であって、空隙 V を挟む角が 40° 以下である接面を有する部分を含んで構成されていることが好ましい。

本実施形態においては、上記のように圧電膜 12 と下部電極 11 の界面において、接面の傾きが連続的に変化する曲面 R が空隙 V の頂部に至るまで連続的に続いており、従って、シリコン基板 10 の表面とのなす角であって、空隙 V を挟む角が 40° 以下である接面を有する部分を含んでいる。

50

これにより、圧電膜に対する局所的応力をさらに緩和することができる。

【0061】

本実施形態のFBARにおいては、空隙Vを構成する内壁面であって段差部における下部電極11の内壁面が、シリコン基板10の表面に対して非平行であって傾きが連続的に変化する接面を有する曲面Rから構成されており、例えば、シリコン基板10の表面sのなす角であって、空隙Vを挟む第1の角 β_1 を構成する第1の接面 b_1 と、第1の角 β_1 と異なる第2の角 β_2 を構成する第2の接面 b_2 とを含むように、傾きが連続的に変化する接面を有する曲面Rとなっている。

また、段差部における上部電極13と圧電膜12の界面についても、シリコン基板10の表面に対して非平行であって傾きが連続的に変化する接面を有する曲面Rから構成されており、例えば、シリコン基板10の表面sのなす角であって、空隙Vを挟む第1の角 γ_1 を構成する第1の接面 c_1 と、第1の角 γ_1 と異なる第2の角 γ_2 を構成する第2の接面 c_2 とを含むように、傾きが連続的に変化する接面を有する曲面Rとなっている。

10

【0062】

本実施形態においては、上記のように空隙Vを構成する内壁面であって段差部における下部電極11の内壁面において、接面の傾きが連続的に変化する曲面Rが空隙Vの頂部に至るまで連続的に続いており、従って、シリコン基板10の表面とのなす角であって、空隙Vを挟む角が 40° 以下である接面を有する部分を含んでいる。

また、段差部における上部電極13と圧電膜12の界面について、接面の傾きが連続的に変化する曲面Rが空隙Vの頂部に至るまで連続的に続いており、従って、シリコン基板10の表面とのなす角であって、空隙Vを挟む角が 40° 以下である接面を有する部分を含んでいる。

20

【0063】

図3(b)、図4(a)および図4(b)は、図3(a)に示す本実施形態のFBARの変形例の構成を示す模式断面図である。

図3(b)は実質的に図3(a)の構成と同様であるが、空隙Vを構成する下部電極11の内壁面において、シリコン基板10の表面sと接する部分Eが広げられた形状となっており、この部分の接面は、シリコン基板10の表面とのなす角であって、空隙Vを挟む角が小さい構成となっている。

また、圧電膜12と下部電極11の界面および上部電極13と圧電膜12の界面についても、上記と同様の形状となっている。

30

シリコン基板10の表面sと接する部分Eにおける接面が、シリコン基板10の表面とのなす角であって、空隙Vを挟む角が小さくなっているため、圧電膜に対する局所的応力をさらに緩和することができる。

【0064】

図4(a)は実質的に図3(b)の構成と同様であり、上記の空隙Vを構成する下部電極11の内壁面のシリコン基板10の表面sと接する部分Eにおいて、空隙V内に絶縁膜21aが形成されていることが異なる。

図4(b)も実質的に図3(b)の構成と同様であり、空隙Vの底面に絶縁膜21が形成されていることが異なる。

40

図4(a)および図4(b)の場合も、シリコン基板10の表面sと接する部分Eにおける接面が、シリコン基板10の表面とのなす角であって、空隙Vを挟む角が小さくなっているため、圧電膜に対する局所的応力をさらに緩和することができる。

図3(b)、図4(a)および図4(b)においても、空隙の端部の形状に対応する圧電膜と下部電極の界面の段差部において、圧電膜と下部電極の界面が、シリコン基板の表面に対して非平行であってシリコン基板の表面とのなす角がシリコン基板側から空隙の頂部側へと連続的に変化する接面を有する曲面から構成されているため、従来のエアブリッジ型の薄膜バルク音響共振子と比較して、圧電膜に対する段差の影響を小さく抑制して局所的応力が緩和され、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と、それに伴う低コスト化を実現できる。

50

【0065】

第4実施形態

図5(a)は本実施形態に係るFBARの構成を示す模式断面図である。

例えば、シリコン基板10上に、下部電極11、圧電膜12および上部電極13の積層体が形成されている。

また、シリコン基板10と下部電極11の間に、少なくとも一部がシリコン基板10の表面より上方に位置するように、共振領域を構成する空隙Vが構成されている。

下部電極11および圧電膜12には、空隙Vに通じる開口部が形成されているが、図面上は省略されている。

下部電極11および上部電極13あるいは圧電膜12を構成する材料は第1実施形態と同様である。

10

【0066】

上記のFBARにおいては、空隙Vの端部の形状に対応する圧電膜12と下部電極11の界面の段差部において、圧電膜12と下部電極11の界面は、シリコン基板10の表面とのなす角であって、空隙Vを挟む角が 40° 以下である面を含んで構成されている。

即ち、段差部における圧電膜12と下部電極11の界面が、シリコン基板10の表面sのなす角であって、空隙Vを挟む角 α が 40° 以下となっている。

【0067】

上記のFBARはエアブリッジ型の薄膜バルク音響共振子であって、段差部における圧電膜と下部電極の界面は、シリコン基板の表面とのなす角であって、空隙を挟む角が 40° 以下である面を含んで構成されている。これにより、従来のエアブリッジ型の薄膜バルク音響共振子と比較して、圧電膜に対する段差の影響を小さく抑制して局所的応力が緩和され、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と、それに伴う低コスト化を実現できる。

20

【0068】

ここで、空隙Vを構成する内壁面であって段差部における下部電極11の内壁面が、シリコン基板10の表面sとのなす角であって、空隙Vを挟む角が 40° 以下である面を含んで構成されていることが好ましい。

即ち、段差部における下部電極11の内壁面bとシリコン基板10の表面sのなす角であって、空隙Vを挟む角 β が 40° 以下となっていることが好ましい。

30

【0069】

また、空隙Vの端部の形状に対応する上部電極13と圧電膜12の界面の段差部における上部電極13と圧電膜12の界面が、シリコン基板10の表面sとのなす角であって、空隙Vを挟む角が 40° 以下である面を含んで構成されていることが好ましい。

即ち、段差部における上部電極13と圧電膜12の界面cとシリコン基板10の表面sのなす角であって、空隙Vを挟む角 γ が 40° 以下となっていることが好ましい。

【0070】

上記の角 β や角 γ が 40° 以下となっている場合、通常は下部電極や圧電膜は膜厚が全面に均等に形成されているので、段差部における圧電膜12と下部電極11の界面aとシリコン基板10の表面sのなす角であって、空隙Vを挟む角 α が 40° 以下となるのを実現できる。

40

【0071】

図5(b)、図5(c)、図6(a)、図6(b)および図6(c)は、図4(a)に示す本実施形態のFBARの変形例の構成を示す模式断面図である。

図5(b)は実質的に図5(a)の構成と同様であるが、空隙Vに臨むシリコン基板10の表面に凹部10aが形成され、空隙Vの領域が拡大された構成となっている。

図5(c)も実質的に図5(a)の構成と同様であるが、シリコン基板10上の空隙領域を除く領域において、シリコン基板10と下部電極11の間に、窒化シリコンなどからなる支持層20が形成されており、空隙Vの領域が拡大された構成となっている。

図6(a)も実質的に図5(a)の構成と同様であるが、上記の空隙Vを構成する下部

50

電極 1 1 の内壁面のシリコン基板 1 0 の表面 s と接する部分において、空隙 V 内に絶縁膜 2 1 a が形成されていることが異なる。

【0072】

図 6 (b) は、空隙 V の端部の形状に対応する圧電膜 1 2 と下部電極 1 1 の界面の段差部において、圧電膜 1 2 と下部電極 1 1 の界面が、シリコン基板 1 0 の表面 s のなす角であって、空隙 V を挟む第 1 の角 α_1 を構成する第 1 の面 a_1 と、第 1 の角 α_1 と異なる第 2 の角 α_2 (第 1 の角 $\alpha_1 <$ 第 2 の角 α_2) を構成する第 2 の面 a_2 からなる構成であり、第 1 の面 a_1 と第 2 の面 a_2 の少なくともいずれか一方が、シリコン基板 1 0 の表面 s のなす角であって、空隙 V を挟む角が 40° 以下となる面となっている。

また、空隙 V の底面に絶縁膜 2 1 が形成されている。

10

【0073】

図 6 (c) は、図 6 (b) と同様、空隙 V の端部の形状に対応する圧電膜 1 2 と下部電極 1 1 の界面の段差部において、圧電膜 1 2 と下部電極 1 1 の界面が、シリコン基板 1 0 の表面 s のなす角であって、空隙 V を挟む第 1 の角 α_1 を構成する第 1 の面 a_1 と、第 1 の角 α_1 と異なる第 2 の角 α_2 (第 1 の角 $\alpha_1 >$ 第 2 の角 α_2) を構成する第 2 の面 a_2 からなる構成であり、第 1 の面 a_1 と第 2 の面 a_2 の少なくともいずれか一方が、シリコン基板 1 0 の表面 s のなす角であって、空隙 V を挟む角が 40° 以下となる面となっている。

図 5 (b)、図 5 (c)、図 6 (a)、図 6 (b) および図 6 (c) についても、段差部における圧電膜と下部電極の界面は、シリコン基板の表面とのなす角であって、空隙を挟む角が 40° 以下である面を含んで構成されているので、圧電膜に対する段差の影響を小さく抑制して局所的応力が緩和され、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と、それに伴う低コスト化を実現できる。

20

【0074】

第 5 実施形態

図 7 (a) は本実施形態に係る F B A R の構成を示す模式断面図である。

例えば、シリコン基板 1 0 上に、下部電極 1 1、圧電膜 1 2 および上部電極 1 3 の積層体が形成されている。

また、シリコン基板 1 0 と下部電極 1 1 の間に、少なくとも一部がシリコン基板 1 0 の表面より上方に位置するように、共振領域を構成する空隙 V が構成されている。

30

下部電極 1 1 および圧電膜 1 2 には、空隙 V に通じる開口部が形成されているが、図面上は省略されている。

下部電極 1 1 および上部電極 1 3 あるいは圧電膜 1 2 を構成する材料は第 1 実施形態と同様である。

【0075】

上記の F B A R においては、空隙 V の端部の形状に対応する圧電膜 1 2 と下部電極 1 1 の界面の段差部において、圧電膜 1 2 と下部電極 1 1 の界面は、シリコン基板 1 0 の表面に対して非平行であってシリコン基板 1 0 の表面とのなす角がシリコン基板 1 0 側から空隙 V の頂部側へと連続的に変化する接面を有する曲面 R から構成されている。

本実施形態においては、上記の曲面 R が空隙 V の頂部に至るまで連続的に続いている。

40

【0076】

上記の F B A R において、空隙 V の端部の形状に対応する圧電膜 1 2 と下部電極 1 1 の界面の段差部における圧電膜 1 2 と下部電極 1 1 の界面が、シリコン基板 1 0 の表面とのなす角であって、空隙 V を挟む角が 40° 以下である接面を有する部分を含んで構成されている。

即ち、圧電膜 1 2 と下部電極 1 1 の界面において、接面の傾きが連続的に変化する曲面 R が空隙 V の頂部に至るまで連続的に続いており、シリコン基板 1 0 の表面 s とのなす角であって、空隙 V を挟む角 α が 40° 以下である接面 a を有する部分を含んでいる。

【0077】

上記の F B A R はエアブリッジ型の薄膜バルク音響共振子であって、段差部における圧

50

電膜と下部電極の界面は、シリコン基板の表面に対して非平行であってシリコン基板の表面とのなす角がシリコン基板側から空隙の頂部側へと連続的に変化する接面を有する曲面から構成され、シリコン基板の表面とのなす角であって、空隙を挟む角が 40° 以下である接面を有する部分を含んでいる。これにより、従来のエアブリッジ型の薄膜バルク音響共振子と比較して、圧電膜に対する段差の影響を小さく抑制して局所的応力が緩和され、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と、それに伴う低コスト化を実現できる。

【0078】

図7(b)および図7(c)は、図7(a)に示す本実施形態のFBARの変形例の構成を示す模式断面図である。

図7(b)は実質的に図7(a)の構成と同様であるが、上記の空隙Vを構成する下部電極11の内壁面のシリコン基板10の表面sと接する部分において、空隙V内に絶縁膜21aが形成されていることが異なる。

図7(c)は実質的に図7(a)の構成と同様であるが、接面の傾きが連続的に変化する曲面Rが空隙Vの頂部に至るまで連続的に続いているのではなく、段差部分のみに形成されており、頂部領域においてはシリコン基板10の表面sと平行な平面が形成されている。

図7(b)および図7(c)についても、空隙Vの端部の形状に対応する圧電膜12と下部電極11の界面の段差部において、圧電膜12と下部電極11の界面は、シリコン基板10の表面に対して非平行であってシリコン基板10の表面とのなす角がシリコン基板10側から空隙Vの頂部側へと連続的に変化する接面を有する曲面Rから構成され、また、シリコン基板10の表面とのなす角であって、空隙Vを挟む角が 40° 以下である接面を有する部分を含んで構成されているので、圧電膜に対する段差の影響を小さく抑制して局所的応力が緩和され、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と、それに伴う低コスト化を実現できる。

【0079】

第6実施形態

図8(a)は本実施形態に係るFBARの構成を示す模式断面図である。

例えば、シリコン基板10上の空隙領域を除く領域において、窒化シリコンなどからなる支持層20が形成されており、その上層に、空隙領域を含む領域において、下部電極11、圧電膜12および上部電極13の積層体が形成されている。

空隙領域においては、シリコン基板10と下部電極11の間に、少なくとも一部がシリコン基板10の表面より上方に位置するように、共振領域を構成する空隙Vが構成されている。

下部電極11および圧電膜12には、空隙Vに通じる開口部Hが形成されているが、図面上は省略されている。

下部電極11および上部電極13あるいは圧電膜12を構成する材料は第1実施形態と同様である。

【0080】

上記のFBARにおいては、空隙Vの端部の形状に対応する圧電膜12と下部電極11の界面の段差部において、圧電膜12と下部電極11の界面は、シリコン基板10の表面に対して非平行であってシリコン基板10の表面とのなす角がシリコン基板10側から空隙Vの頂部側へと連続的に変化する接面を有する曲面Rから構成されている。

本実施形態においては、上記の曲面Rが空隙Vの頂部に至るまで連続的に続いている。

【0081】

上記のFBARにおいて、空隙Vの端部の形状に対応する圧電膜12と下部電極11の界面の段差部における圧電膜12と下部電極11の界面が、シリコン基板10の表面とのなす角であって、空隙Vを挟む角が 40° 以下である接面を有する部分を含んで構成されていることが好ましい。

【0082】

10

20

30

40

50

上記の F B A R はエアブリッジ型の薄膜バルク音響共振子であって、下部電極、圧電膜および上部電極の積層体と基板との間に支持層が形成されており、これにより、ある程度の空隙の高さを確保しながら従来より段差を小さく抑制することができる。また、段差部における圧電膜と下部電極の界面は、シリコン基板の表面に対して非平行であってシリコン基板の表面とのなす角がシリコン基板側から空隙の頂部側へと連続的に変化する接面を有する曲面から構成されている。

これにより、従来のエアブリッジ型の薄膜バルク音響共振子と比較して、圧電膜に対する段差の影響を小さく抑制して局所的応力が緩和され、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と、それに伴う低コスト化を実現できる。

【0083】

図8(b)および図8(c)は、図8(a)に示す本実施形態の F B A R の変形例の構成を示す模式断面図である。

図8(b)に示す構成は、空隙 V を構成する支持層 20 の内壁面において、シリコン基板 10 の表面 s と接する部分 E が広げられた形状となっており、この部分は、シリコン基板 10 の表面とのなす角であって、空隙 V を挟む角が小さい構成となっている。

また、図8(c)に示す構成は、空隙 V を構成する支持層 20 の内壁面において、シリコン基板 10 の表面 s と接する部分 E が狭められた形状となっている。

図8(b)および図8(c)においても、下部電極、圧電膜および上部電極の積層体と基板との間に支持層が形成されており、さらに圧電膜と下部電極の界面が、傾きが連続的に変化する接面を有する曲面 R から構成されているので、従来のエアブリッジ型の薄膜バルク音響共振子と比較して、ある程度の空隙の高さを確保しながら段差を小さく抑制することができ、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と、それに伴う低コスト化を実現できる。

【0084】

第7実施形態

図9(a)は本実施形態に係る F B A R の構成を示す模式断面図である。

例えば、シリコン基板 10 上に、第1支持層 22a、第2支持層 22b および第3支持層 22c を有する支持層 22 が形成されており、その上層に、空隙領域を含む領域において、下部電極 11、圧電膜 12 および上部電極 13 の積層体が形成されている。

本実施形態においては、支持層 22 に形成された凹部の表面と下部電極 11 の表面とから空隙 V が構成されており、即ち、共振領域を構成する空隙 V の全体がシリコン基板 10 の表面より上方に位置するように構成されている。

下部電極 11 および圧電膜 12 には、空隙 V に通じる開口部 H が形成されているが、図面上は省略されている。

下部電極 11 および上部電極 13 あるいは圧電膜 12 を構成する材料は第1実施形態と同様である。

本実施形態に係る F B A R は、上記のような支持層 22 を設けることで、第1～第6実施形態のそれぞれの F B A R に適用することが可能である。

【0085】

また、図9(b)は本実施形態に係る F B A R の構成を示す模式断面図である。

空隙 V に臨むシリコン基板 10 の表面に凹部 10a が形成され、シリコン基板 10 の凹部 10a の表面と下部電極 11 の表面とから空隙 V が構成されており、凹部が形成されていない場合に比べて空隙 V の領域が拡大された構成となっている。

本実施形態に係る F B A R は、シリコン基板 10 に上記のような凹部 10a を設けることで、第1～第6実施形態のそれぞれの F B A R に適用することが可能である。

【0086】

第8実施形態

図10(a)は本実施形態に係る F B A R の構成を示す模式断面図である。

例えば、シリコン基板 10 上に、下部電極 11、圧電膜 12 および上部電極 13 の積層体が形成されている。

また、シリコン基板 10 と下部電極 11 の間に、少なくとも一部がシリコン基板 10 の表面より上方に位置するように、共振領域を構成する空隙 V が構成されている。

下部電極 11 および圧電膜 12 には、空隙 V に通じる開口部 H が形成されているが、図面上は省略されている。

下部電極 11 および上部電極 13 あるいは圧電膜 12 を構成する材料は第 1 実施形態と同様である。

【0087】

上記の F B A R においては、下部電極 11 の端部の形状に対応する圧電膜 12 と下部電極 11 の界面の段差部において、圧電膜 12 と下部電極 11 の界面は、シリコン基板 10 の表面に対して非平行であってシリコン基板 10 の表面 s とのなす角が異なる複数の面が、シリコン基板 10 側から空隙 V の頂部側へ積み上げられて構成されている。

即ち、段差部における圧電膜 12 と下部電極 11 の界面が、シリコン基板 10 の表面 s のなす角であって、空隙 V を挟む第 1 の角 α_1 を構成する第 1 の面 a_1 と、第 1 の角 α_1 と異なる第 2 の角 α_2 を構成する第 2 の面 a_2 とから構成されている。

ここでは、第 1 の角 $\alpha_1 < \text{第 2 の角 } \alpha_2$ となっている。

【0088】

上記の F B A R はエアブリッジ型の薄膜バルク音響共振子であって、下部電極の端部の形状に対応する段差部における圧電膜と下部電極の界面は、シリコン基板の表面に対して非平行であってシリコン基板の表面とのなす角が異なる複数の面が、シリコン基板側から空隙の頂部側へ積み上げられて構成されている。これにより、従来のエアブリッジ型の薄膜バルク音響共振子と比較して、圧電膜に対する段差の影響を小さく抑制して局所的応力が緩和され、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と、それに伴う低コスト化を実現できる。

【0089】

上記の構成において、第 1 の面 a_1 と第 2 の面 a_2 の少なくともいずれか一方が、シリコン基板 10 の表面 s のなす角であって、空隙 V を挟む角が 40° 以下となる面となっていることが好ましい。

これにより、圧電膜に対する局所的応力をさらに緩和することができる。

【0090】

第 9 実施形態

図 10 (b) は本実施形態に係る F B A R の構成を示す模式断面図である。

例えば、シリコン基板 10 上に、下部電極 11、圧電膜 12 および上部電極 13 の積層体が形成されている。

また、シリコン基板 10 と下部電極 11 の間に、少なくとも一部がシリコン基板 10 の表面より上方に位置するように、共振領域を構成する空隙 V が構成されている。

下部電極 11 および圧電膜 12 には、空隙 V に通じる開口部 H が形成されているが、図面上は省略されている。

下部電極 11 および上部電極 13 あるいは圧電膜 12 を構成する材料は第 1 実施形態と同様である。

【0091】

上記の F B A R においては、下部電極 11 の端部の形状に対応する圧電膜 12 と下部電極 11 の界面の段差部において、圧電膜 12 と下部電極 11 の界面は、シリコン基板 10 の表面に対して非平行であってシリコン基板 10 の表面とのなす角がシリコン基板 10 側から空隙 V の頂部側へと連続的に変化する接面を有する曲面 R から構成されている。

【0092】

上記の F B A R はエアブリッジ型の薄膜バルク音響共振子であって、下部電極の端部の形状に対応する段差部における圧電膜と下部電極の界面は、シリコン基板の表面に対して非平行であってシリコン基板の表面とのなす角がシリコン基板側から空隙の頂部側へと連続的に変化する接面を有する曲面から構成されている。これにより、従来のエアブリッジ型の薄膜バルク音響共振子と比較して、圧電膜に対する段差の影響を小さく抑制して局所

10

20

30

40

50

的応力が緩和され、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と、それに伴う低コスト化を実現できる。

【0093】

下部電極の端部の形状に対応する段差部における圧電膜12と下部電極11の界面が、シリコン基板10の表面とのなす角であって、空隙Vを挟む角が 40° 以下である接面を有する部分を含んで構成されていることが好ましい。

これにより、圧電膜に対する局所的応力をさらに緩和することができる。

【0094】

第10実施形態

図11(a)は本実施形態に係るFBARの構成を示す模式断面図である。

10

例えば、シリコン基板10上に、下部電極11、圧電膜12および上部電極13の積層体が形成されている。

また、シリコン基板10と下部電極11の間に、少なくとも一部がシリコン基板10の表面より上方に位置するように、共振領域を構成する空隙Vが構成されている。

下部電極11および圧電膜12には、空隙Vに通じる開口部IIが形成されているが、図面上は省略されている。

下部電極11および上部電極13あるいは圧電膜12を構成する材料は第1実施形態と同様である。

【0095】

上記のFBARにおいては、下部電極11の端部の形状に対応する圧電膜12と下部電極11の界面の段差部において、圧電膜12と下部電極11の界面は、シリコン基板10の表面sとのなす角であって、空隙Vを挟む角が 40° 以下である面を含んで構成されている。

20

【0096】

上記のFBARはエアブリッジ型の薄膜バルク音響共振子であって、下部電極の端部の形状に対応する段差部における圧電膜と下部電極の界面は、シリコン基板の表面とのなす角であって、空隙を挟む角が 40° 以下である面を含んで構成されている。これにより、従来のエアブリッジ型の薄膜バルク音響共振子と比較して、圧電膜に対する段差の影響を小さく抑制して局所的応力が緩和され、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と、それに伴う低コスト化を実現できる。

30

【0097】

図11(b)は、下部電極11、圧電膜12および上部電極13の積層体とシリコン基板10との間に支持層23が形成されており、支持層23の側面が、シリコン基板10の表面とのなす角であって、空隙Vを挟む角が 40° 以下である面を含んで構成されている。

図11(b)の構成では、さらに、下部電極11の端部の形状に対応する圧電膜12と下部電極11の界面の段差部において、圧電膜12と下部電極11の界面は、シリコン基板の表面に対して非平行であってシリコン基板の表面とのなす角がシリコン基板側から空隙の頂部側へと連続的に変化する接面を有する曲面から構成されている。

このような構成とすることで、圧電膜に対する段差の影響を小さく抑制して局所的応力が緩和され、圧電膜の破損や破壊を招かない安定した製造、高歩留り化による生産性の向上と、それに伴う低コスト化を実現できる。

40

【0098】

第11実施形態

本実施形態は、第2実施形態の図2(a)に示す構成(但し、図2(a)に示すような絶縁膜21は形成されていない)のFBARの製造方法に係る。

まず、図12(a)に示すように、シリコン基板10上に、例えばCVD(Chemical Vapor Deposition)法により、酸化シリコンを900nm程度の膜厚で堆積させ、第1マスク層30を形成する。

【0099】

50

次に、図 1 2 (b) に示すように、第 1 マスク層 3 0 上に、例えば 3 5 0 °C 以下の成膜温度での C V D 法により B P S G (ホウ素およびリンを含有する酸化シリコン) を 6 0 0 n m 程度の膜厚で堆積させ、第 2 マスク層 3 1 を形成する。

【0 1 0 0】

次に、図 1 2 (c) に示すように、フォトリソグラフィ工程により、空隙領域を保護するパターンでレジスト膜 R S をパターン形成する。

【0 1 0 1】

次に、図 1 2 (d) に示すように、例えば 1 5 0 °C、1 分 3 0 秒の熱処理を施し、レジスト膜 R S の側面を 4 0 ~ 5 5 ° の順テーパに加工する。

【0 1 0 2】

次に、図 1 3 (a) に示すように、例えば C H F₃、C F₄、A r の混合ガスを用い、圧力 1 . 3 P a、高周波 6 0 0 W の条件のドライエッチングにより、第 2 マスク層 3 1 および第 1 マスク層 3 0 をそれぞれエッチング加工する。

ここで、エッチングの混合ガス比を変えることで、第 2 マスク層 3 1 の側面に、シリコン基板 1 0 の表面 s のなす角であって、空隙 V を挟む第 1 の角 β_1 となるテーパ角を有する側面 b₁ を形成し、第 1 マスク層 3 0 の側面に、シリコン基板 1 0 の表面 s のなす角であって、空隙 V を挟む第 2 の角 β_2 となるテーパ角を有する側面 b₂ をそれぞれ制御することができる。

また、第 1 マスク層 3 0 と第 2 マスク層 3 1 のエッチングレートが異なるようにガス比を選択することで、第 1 マスク層 3 0 と第 2 マスク層 3 1 の側面のテーパ角度を目的に

合わせて選択することが可能である。
例えば、第 1 マスク層 3 0 のエッチングレートを 2 5 0 ~ 6 0 0 n m / 分、第 2 マスク層 3 1 のエッチングレートを 3 5 0 ~ 9 0 0 n m / 分に制御して、各テーパ角度を 1 0 ~ 4 5 ° に制御する。

【0 1 0 3】

次に、図 1 3 (b) に示すように、例えばアッシング処理などによりレジスト膜 R S を除去した後、例えばスパッタリング法によりモリブデン (M o) を 1 5 0 n m の膜厚で堆積させ、下部電極 1 1 を形成する。

ここで、下部電極 1 1 の表面には、第 2 マスク層 3 1 の側面 b₁ のテーパ角 β_1 および第 1 マスク層 3 0 の側面 b₂ のテーパ角 β_2 にそれぞれ対応して、シリコン基板 1 0 の表面 s のなす角であって、空隙 V を挟む第 1 の角 α_1 を構成する第 1 の面 a₁ と、第 1 の角 α_1 と異なる第 2 の角 α_2 を構成する第 2 の面 a₂ とが形成される。

【0 1 0 4】

次に、図 1 3 (c) に示すように、例えばスパッタリング法により、下部電極 1 1 の上層に A l N などの圧電材料を 1 . 5 μ m の膜厚で堆積させ、圧電膜 1 2 を形成する。

ここで、圧電膜 1 2 の表面には、第 1 の面 a₁ の第 1 の角 α_1 および第 1 の角 α_1 と異なる第 2 の角 α_2 を構成する第 2 の面 a₂ とに対応して、シリコン基板 1 0 の表面 s のなす角であって、空隙 V を挟む第 1 の角 γ_1 を構成する第 1 の面 c₁ と、第 1 の角 γ_1 と異なる第 2 の角 γ_2 を構成する第 2 の面 c₂ とが形成される。

【0 1 0 5】

次に、図 1 4 (a) に示すように、例えばスパッタリング法によりモリブデン (M o) を 1 4 0 ~ 1 7 0 n m の膜厚で堆積させ、上部電極 1 3 を形成する。

【0 1 0 6】

次に、図 1 4 (b) に示すように、圧電膜 1 2 および下部電極 1 1 に開口部 H を形成し、マスク層の一部を露出させる。

【0 1 0 7】

次に、図 1 4 (c) に示すように、例えば H F 液などのウェットエッチングにより、開口部 H よりエッチング液を浸入させ、第 2 マスク層 3 1 および第 1 マスク層 3 0 を除去する。

以上で、本実施形態に係る F B A R を形成することができる。

10

20

30

40

50

本実施形態によれば、上記の本実施形態に係る F B A R を簡単に形成でき、例えば半導体集積回路への混載プロセスにより製造することが実現できる。

【0108】

第12実施形態

本実施形態は、第5実施形態の図7(c)に示す構成の F B A R の製造方法に係る。

まず、図15(a)に示すように、シリコン基板10上に、例えばCVD法により、P S G (リンを含む酸化シリコン)を1500nm程度の膜厚で堆積させ、マスク層32を形成する。

ここで、CVD成膜条件は、ホスフィン、シランおよび酸素の混合ガスで、常圧、400℃の成膜条件とする。

但し、ホスフィンのガス流量を徐々に増加させるように制御することで、リンの濃度勾配がシリコン基板10の表面よりも上方に行くに従い高くなっていく構成であり、例えば、4~14重量%のリンの濃度の勾配を形成することができる。

【0109】

次に、図15(b)に示すように、フォトリソグラフィ工程により、空隙領域を保護するパターンでレジスト膜R S をパターン形成する。

【0110】

次に、図15(c)に示すように、例えば150℃で1分30秒の熱処理を施し、レジスト膜R S の側面を40~55°の順テーパに加工する。

【0111】

次に、図16(a)に示すように、例えばC H F₃、C F₄、A r の混合ガスを用い、圧力1.3Pa、高周波600Wの条件のドライエッチングにより、マスク層32をエッチング加工する。

例えば、マスク層表面でリン濃度を12重量%、シリコン基板近傍で4重量%としたとき、表面では800nm/分、シリコン基板近傍では350nm/分のエッチングレートを実現できる。

このように、マスク層32中のリンの濃度勾配に応じてエッチングレートが異なり、高濃度程エッチングレートが高くなる現象を利用して、マスク層32の側面に、シリコン基板10の表面に対して非平行であってシリコン基板10の表面とのなす角がシリコン基板10側からマスク層32の頂部側へと連続的に変化する接面を有する曲面Rを形成する。

【0112】

次に、図16(b)に示すように、例えばアッシング処理などによりレジスト膜R S を除去した後、例えばスパッタリング法によりモリブデン(Mo)を150nmの膜厚で堆積させ、下部電極11を形成する。

ここで、下部電極11の表面には、マスク層32の形状に対応して、シリコン基板10の表面に対して非平行であってシリコン基板10の表面とのなす角がシリコン基板10側からマスク層32の頂部側へと連続的に変化する接面を有する曲面Rを形成する。

【0113】

次に、図16(c)に示すように、例えばスパッタリング法により、下部電極11の上層にA l Nなどの圧電材料を1.5μmの膜厚で堆積させ、圧電膜12を形成する。

ここでも、圧電膜12の表面には、下部電極11の形状に対応して、シリコン基板10の表面に対して非平行であってシリコン基板10の表面とのなす角がシリコン基板10側からマスク層32の頂部側へと連続的に変化する接面を有する曲面Rを形成する。

【0114】

次に、図17(a)に示すように、例えばスパッタリング法によりモリブデン(Mo)を140~170nmの膜厚で堆積させ、上部電極13を形成する。

【0115】

次に、図17(b)に示すように、圧電膜12および下部電極11に開口部Hを形成し、マスク層の一部を露出させる。

【0116】

10

20

30

40

50

次に、図 17 (c) に示すように、例えば HF 液などのウェットエッチングにより、開口部 H よりエッチング液を浸入させ、マスク層 32 を除去する。

以上で、本実施形態に係る F B A R を形成することができる。

本実施形態によれば、上記の本実施形態に係る F B A R を簡単に形成でき、例えば半導体集積回路への混載プロセスにより製造することが実現できる。

【0117】

第 13 実施形態

本実施形態は、実質的に第 11 実施形態の F B A R の製造方法と同様である。

まず、図 18 (a) に示すように、シリコン基板 10 上に、例えば C V D 法により、P S G を 1500 nm 程度の膜厚で堆積させ、マスク層 33 を形成する。

ここで、C V D 成膜条件は、ホスフィン、シランおよび酸素の混合ガスで、常圧、400℃の成膜条件とし、例えば 4～14 重量%のリンの濃度の勾配を形成することができる。

【0118】

次に、図 18 (b) に示すように、フォトリソグラフィ工程により、空隙領域を保護するパターンでレジスト膜 R S をパターン形成する。

【0119】

次に、図 18 (c) に示すように、例えば 150℃で 1 分 30 秒の熱処理を施し、レジスト膜 R S の側面を 40～55°の順テーパに加工する。

【0120】

次に、図 19 (a) に示すように、例えば C H F₃、C F₄、A r の混合ガスを用い、圧力 1.3 Pa、高周波 300 W の条件のドライエッチングにより、マスク層 33 を途中の深さまでエッチング加工する。P S G 膜のエッチングレートは、例えば 250 nm/分である。

【0121】

次に、図 19 (b) に示すように、高周波出力を 1200 W に変更したドライエッチング条件で、引き続きエッチングを行い、マスク層 33 を底部までエッチング加工する。P S G 膜のエッチングレートは、例えば 800 nm/分である。

上記のエッチングレートの差から、マスク層 33 の側面において、シリコン基板 10 の表面 s のなす角であって、以降の工程で空隙 V となるマスク層 33 を挟む第 1 の角 β_1 となるテーパ角を有する側面 b₁ の部分と、シリコン基板 10 の表面 s のなす角であって、マスク層 33 を挟む第 2 の角 β_2 となるテーパ角を有する側面 b₂ の部分を形成することができ、テーパ形状をエッチングの途中から変更することが可能である。

【0122】

以降の工程は、実質的に第 11 実施形態と同様である。

即ち、マスク層 33 を被覆して下部電極 11 を形成し、その上層に圧電膜 12 を形成し、その上層に上部電極 13 を形成し、圧電膜 12 および下部電極 11 に開口部 H を形成し、マスク層の一部を露出させ、HF 液などのウェットエッチングにより、開口部 H よりエッチング液を浸入させ、マスク層 33 を除去する。

以上で、本実施形態に係る F B A R を形成することができる。

本実施形態によれば、上記の本実施形態に係る F B A R を簡単に形成でき、例えば半導体集積回路への混載プロセスにより製造することが実現できる。

【0123】

第 14 実施形態

本実施形態は、実質的に第 13 実施形態の F B A R の製造方法と同様である。

まず、第 13 実施形態と同様に、シリコン基板 10 上にマスク層 33 を形成し、フォトリソグラフィ工程により、レジスト膜 R S をパターン形成し、レジスト膜 R S の側面を 40～55°の順テーパに加工する。

次に、図 20 (a) に示すように、例えば C H F₃、C F₄、A r の混合ガスを用い、圧力 1.3 Pa、高周波 800 W の条件のドライエッチングにより、マスク層 33 を底面

10

20

30

40

50

までエッチング加工する。

【0124】

次に、図20(b)に示すように、レジスト膜RSを除去する。次に、高周波600～800W、圧力60～75Paの処理条件で、Arガス単独でのイオンストリームエッチングを付加する。

上記のイオンストリームエッチングにより、マスク層33の肩部33aの領域のみが高選択的にエッチングされ、図20(c)に示すように、マスク層33の側面において、シリコン基板10の表面sのなす角であって、後の工程で空隙Vとなるマスク層33を挟む第1の角 β_1 となるテーパ角を有する側面 b_1 の部分と、シリコン基板10の表面sのなす角であって、マスク層33を挟む第2の角 β_2 となるテーパ角を有する側面 b_2 の部分とを形成することができる。

10

上記のイオンストリームエッチングにおいて、Arガスに微量の CF_4 ガスあるいは CHF_3 を添加することで、さらに高選択比化することができる。

【0125】

以降の工程は、実質的に第11実施形態と同様である。

即ち、マスク層33を被覆して下部電極11を形成し、その上層に圧電膜12を形成し、その上層に上部電極13を形成し、圧電膜12および下部電極11に開口部Hを形成し、マスク層の一部を露出させ、HF液などのウェットエッチングにより、開口部Hよりエッチング液を浸入させ、マスク層33を除去する。

以上で、本実施形態に係るFBARを形成することができる。

20

本実施形態によれば、上記の本実施形態に係るFBARを簡単に形成でき、例えば半導体集積回路への混載プロセスにより製造することが実現できる。

【0126】

第15実施形態

本実施形態は、第8実施形態の図10(a)に示す構成のFBARの製造方法に係る。但し、下部電極は2層に分割されており、また、下部電極11の端部の形状に対応する圧電膜12と下部電極11の界面の段差部において、圧電膜12と下部電極11の界面は、シリコン基板10の表面sのなす角であって、空隙Vを挟む第1の角 α_1 を構成する第1の面 a_1 と、第1の角 α_1 と異なる第2の角 α_2 （第1の角 $\alpha_1 >$ 第2の角 α_2 ）を構成する第2の面 a_2 とから構成されている。

30

【0127】

まず、図21(a)に示すように、シリコン基板10上に、例えばCVD法により、PSGを1500nm程度の膜厚で堆積させ、マスク層34を形成する。

ここで、CVD成膜条件は、ホスフィン、シランおよび酸素の混合ガスで、常圧、400℃の成膜条件とし、例えば4～14重量%のリンの濃度のPSGを形成することができる。

【0128】

次に、フォトリソグラフィ工程により、空隙領域を保護するパターンでレジスト膜をパターン形成し、例えば150℃で1分30秒の熱処理を施して、レジスト膜の側面を40～55°の順テーパに加工し、例えば CHF_3 、 CF_4 、Arの混合ガスを用い、圧力1.3Pa、高周波800Wの条件のドライエッチングにより、図21(b)に示すように、マスク層34をエッチング加工する。

40

【0129】

次に、図21(c)に示すように、例えばマグネトロンスパッタリング装置でのスパッタリング法によりモリブデン(Mo)を30nmの膜厚で堆積させ、第1下部電極11aを形成する。

【0130】

次に、図22(a)に示すように、例えばマグネトロンスパッタリング装置でのスパッタリング法によりタングステン(W)を30～70nmの膜厚で堆積させ、第2下部電極11bを形成する。第1下部電極11aと第2下部電極11bから下部電極11が構成さ

50

れる。

【0131】

次に、図22(b)に示すように、ECR(Electron Cyclotron Resonance)エッチング法により、第1下部電極11aと第2下部電極11bからなる下部電極11をエッチング加工する。

このエッチングは、例えば、 SF_6 、 Cl_2 、 O_2 、の混合ガスを用い、圧力5～15 mTorr、マイクロ波アノード電流300 mA、高周波60～80 Wにて行う。

このとき、モリブデン(Mo)とタングステン(W)のエッチングレートの差が20～150 nm/分程度有り、この差を利用して、第2下部電極11bの側面はシリコン基板10の表面sのなす角であって、後の工程で空隙Vとなるマスク層34を挟む第1の角 α_1 を構成する第1の面 a_1 となり、第1下部電極11aの側面は第1の角 α_1 と異なる第2の角 α_2 を構成する第2の面 a_2 となる。

このように、側面の傾きの異なるテーパ形状を実現することができ、このテーパ形状は、電極材料やエッチング条件を適宜選択することで様々な形状に変えることができる。

【0132】

次に、図22(c)に示すように、例えばスパッタリング法により、下部電極11の上層にAlNなどの圧電材料を1.5 μm の膜厚で堆積させ、圧電膜12を形成する。

次に、図23(a)に示すように、例えばスパッタリング法によりモリブデン(Mo)を140～170 nmの膜厚で堆積させ、上部電極13を形成する。

次に、図23(b)に示すように、圧電膜12および下部電極11に開口部Hを形成し、HF液などのウェットエッチングによりマスク層34を除去する。

以上で、本実施形態に係るFBARを形成することができる。

本実施形態によれば、上記の本実施形態に係るFBARを簡単に形成でき、例えば半導体集積回路への混載プロセスにより製造することが実現できる。

【0133】

第16実施形態

本実施形態は、第10実施形態の図11(a)に示す構成のFBARの製造方法に係る。

まず、図24(a)に示すように、シリコン基板10上に、例えばCVD法により、PSGを1500 nm程度の膜厚で堆積させ、マスク層34を形成する。

ここで、CVD成膜条件は、ホスフィン、シランおよび酸素の混合ガスで、常圧、400℃の成膜条件とし、例えば4～14重量%のリンの濃度のPSGを形成することができる。

【0134】

次に、フォトリソグラフィ工程により、空隙領域を保護するパターンでレジスト膜をパターン形成し、例えば150℃で1分30秒の熱処理を施して、レジスト膜の側面を40～55°の順テーパに加工し、例えば CHF_3 、 CF_4 、Arの混合ガスを用い、圧力1.3 Pa、高周波800 Wの条件のドライエッチングにより、図24(b)に示すように、マスク層34をエッチング加工する。

【0135】

次に、図24(c)に示すように、例えばマグネトロンスパッタリング装置でのスパッタリング法によりモリブデン(Mo)を50～200 nmの膜厚で堆積させ、下部電極11を形成する。

【0136】

次に、図25(a)に示すように、例えばECRエッチング法により、下部電極11をエッチング加工する。

このエッチングは、例えば、 SF_6 、 Cl_2 、 O_2 、の混合ガスを用い、圧力5～15 mTorr、マイクロ波アノード電流300 mA、高周波40 Wにて行う。

このエッチングにおいては、下部電極11の端部側面は、シリコン基板10の表面に垂

10

20

30

40

50

直な形状となっている。

【0137】

次に、図25(b)に示すように、高周波600～800W、圧力60～75Paの処理条件で、Arガス単独でのイオンストリームエッチングを行う。

このエッチングにより、下部電極11の肩部の領域のみが高選択的にエッチングされ、下部電極11の端部において、下部電極11の側面は、シリコン基板10の表面sとのなす角であって、後の工程で空隙Vとなるマスク層34を挟む角が40°以下である面となって加工される。

上記のイオンストリームエッチングにおいて、Arガスに微量のCF₄ガスあるいはCHF₃を添加することで、さらに高選択比化することができる。

10

【0138】

次に、図25(c)に示すように、例えばスパッタリング法により、下部電極11の上層にAlNなどの圧電材料を1.5μmの膜厚で堆積させ、圧電膜12を形成する。

次に、図26(a)に示すように、例えばスパッタリング法によりモリブデン(Mo)を140～170nmの膜厚で堆積させ、上部電極13を形成する。

次に、図26(b)に示すように、圧電膜12および下部電極11に開口部Hを形成し、HF液などのウェットエッチングによりマスク層34を除去する。

以上で、本実施形態に係るFBARを形成することができる。

本実施形態によれば、上記の本実施形態に係るFBARを簡単に形成でき、例えば半導体集積回路への混載プロセスにより製造することが実現できる。

20

【0139】

上記の下部電極11の側面の加工が、下部電極11のエッチング加工を行う時に、以下のようなエッチングを行うことでも可能である。

即ち、ECREッチング法によるエッチングを、例えば、SF₆、Cl₂、O₂、の混合ガスを用い、圧力5～15mTorr、マイクロ波アノード電流300mA、高周波40Wにて行い、エッチングの途中で、高周波出力を40Wから80Wに変更して行う。

これにより、モリブデンのエッチングレートの差が30～200nm/分程度実現でき、このレート差を利用して連続的に変化するテーパ形状を実現できる。さらに、テーパ形状を途中から変更することも可能である。

【0140】

30

上記の本実施形態のFBARおよびその製造方法によれば、以下の効果を享受することができる。

(1) エアブリッジ型FBARの構造上の課題である、共振領域の空隙周辺の表面起伏による、圧電膜に局所的に応力が集中するのを抑制し、圧電膜の破損や破壊を招かない安定した形成と、高歩留り化による生産性の向上およびそれに伴う低コスト化が、煩雑な工程を追加することなく可能となる。

(2) エアブリッジ型FBARにおいて、共振特性に優れたFBARを製造するために必要な品質の高い圧電膜として、高配向性化および緻密化した膜を採用することで生じる高い内部応力の集中にも十分耐えるだえの応力緩和構造が可能となり、高性能化が可能となった。

40

(3) 半導体集積回路への混載プロセスにおいて、要求される、400℃以下の低温スパッタリング工程の採用によってもたらされる圧電膜の高内部応力にも、十分耐えるだけの応力緩和構造が可能となり、半導体集積回路への混載が実現可能となった。

(4) 圧電膜形成後のFBAR製造工程に付加される、物理的衝撃や熱処理サイクルおよび電極膜応力との相互作用など、製造プロセス上の制約を受けることがなくなり、最適な製造工程設計を圧電膜の破損や破壊の懸念なく採用することができる。

(5) 機械的強度を十分確保することが可能となるので、過酷な使用環境に長期的に耐えることが可能となり、信頼性の高いFBARを提供することができる。

【0141】

(実施例)

50

図 5（a）に示す構成の第 4 実施形態に係る F B A R において、空隙 V の端部の形状に対応する圧電膜 1 2 と下部電極 1 1 の界面の段差部において、圧電膜 1 2 と下部電極 1 1 の界面は、シリコン基板 1 0 の表面とのなす角であって、空隙 V を挟む角 α を、80°、60°、45°、40°、30° および 15° と種々に変更したときの圧電膜に対する破損（クラック）の発生と圧電膜の破壊の発生について調べた。

結果を表 1 に示す。

【 0 1 4 2 】

【表 1】

基板表面との角度	80°	60°	45°	40°	30°	15°
圧電膜の破損 （クラック）	×	×	△	○	○	○
圧電膜の破壊	×	×	○	○	○	○

×:破損、破壊発生、 △:発生の場合あり、 ○:なし

【 0 1 4 3 】

表 1 に示すように、圧電膜 1 2 と下部電極 1 1 の界面とシリコン基板 1 0 の表面とのなす角であって、空隙 V を挟む角 α が 80° および 60° では圧電膜の破損や破壊が発生したが、45° 位から改善され、40° 以下では圧電膜の破損や破壊が発生はほとんど観察されなかった。

このように、圧電膜 1 2 と下部電極 1 1 の界面とシリコン基板 1 0 の表面とのなす角であって、空隙 V を挟む角 α を 40° 以下に設計することで、圧電膜に対する応力が緩和され、やむを得ず付加される製造工程上の物理的衝撃や、熱処理サイクル、および電極膜応力との相互作用などに十分耐えることができる圧電膜を得ることができ、破損や破壊を伴わず、再現性よく安定した信頼性の高いエアブリッジ型の F B A R を設計することが可能となった。

【 0 1 4 4 】

本発明の薄膜バルク音響共振子およびその製造方法は、上記の説明に限定されず、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【産業上の利用可能性】

【 0 1 4 5 】

本発明の薄膜バルク音響共振子およびその製造方法は、携帯電話などのワイヤレス通信システムやワイヤレスセンシングシステムにおける送信フィルタやデュプレクサなどの回路に用いられる F B A R とその製造方法に適用可能である。

【図面の簡単な説明】

【 0 1 4 6 】

【図 1】図 1（a）～（c）は第 1 実施形態に係る F B A R の構成を示す模式断面図である。

【図 2】図 2（a）および（b）は第 2 実施形態に係る F B A R の構成を示す模式断面図である。

【図 3】図 3（a）および（b）は第 3 実施形態に係る F B A R の構成を示す模式断面図である。

【図 4】図 4（a）および（b）は第 3 実施形態に係る F B A R の構成を示す模式断面図である。

【図 5】図 5 (a) ～ (c) は第 4 実施形態に係る F B A R の構成を示す模式断面図である。

【図 6】図 6 (a) ～ (c) は第 4 実施形態に係る F B A R の構成を示す模式断面図である。

【図 7】図 7 (a) ～ (c) は第 5 実施形態に係る F B A R の構成を示す模式断面図である。

【図 8】図 8 (a) ～ (c) は第 6 実施形態に係る F B A R の構成を示す模式断面図である。

【図 9】図 9 (a) および (b) は第 7 実施形態に係る F B A R の構成を示す模式断面図である。

10

【図 10】図 10 (a) は第 8 実施形態に係る F B A R の構成を示す模式断面図であり、図 10 (b) は第 9 実施形態に係る F B A R の構成を示す模式断面図である。

【図 11】図 11 (a) および (b) は第 10 実施形態に係る F B A R の構成を示す模式断面図である。

【図 12】図 12 (a) ～ (d) は第 11 実施形態に係る F B A R の製造方法の製造工程を示す模式断面図である。

【図 13】図 13 (a) ～ (c) は第 11 実施形態に係る F B A R の製造方法の製造工程を示す模式断面図である。

【図 14】図 14 (a) ～ (c) は第 11 実施形態に係る F B A R の製造方法の製造工程を示す模式断面図である。

20

【図 15】図 15 (a) ～ (c) は第 12 実施形態に係る F B A R の製造方法の製造工程を示す模式断面図である。

【図 16】図 16 (a) ～ (c) は第 12 実施形態に係る F B A R の製造方法の製造工程を示す模式断面図である。

【図 17】図 17 (a) ～ (c) は第 12 実施形態に係る F B A R の製造方法の製造工程を示す模式断面図である。

【図 18】図 18 (a) ～ (c) は第 13 実施形態に係る F B A R の製造方法の製造工程を示す模式断面図である。

【図 19】図 19 (a) および (b) は第 13 実施形態に係る F B A R の製造方法の製造工程を示す模式断面図である。

30

【図 20】図 20 (a) ～ (c) は第 14 実施形態に係る F B A R の製造方法の製造工程を示す模式断面図である。

【図 21】図 21 (a) ～ (c) は第 15 実施形態に係る F B A R の製造方法の製造工程を示す模式断面図である。

【図 22】図 22 (a) ～ (c) は第 15 実施形態に係る F B A R の製造方法の製造工程を示す模式断面図である。

【図 23】図 23 (a) および (b) は第 15 実施形態に係る F B A R の製造方法の製造工程を示す模式断面図である。

【図 24】図 24 (a) ～ (c) は第 16 実施形態に係る F B A R の製造方法の製造工程を示す模式断面図である。

40

【図 25】図 25 (a) ～ (c) は第 16 実施形態に係る F B A R の製造方法の製造工程を示す模式断面図である。

【図 26】図 26 (a) および (b) は第 16 実施形態に係る F B A R の製造方法の製造工程を示す模式断面図である。

【図 27】図 27 は従来例に係る F B A R の模式断面図である。

【符号の説明】

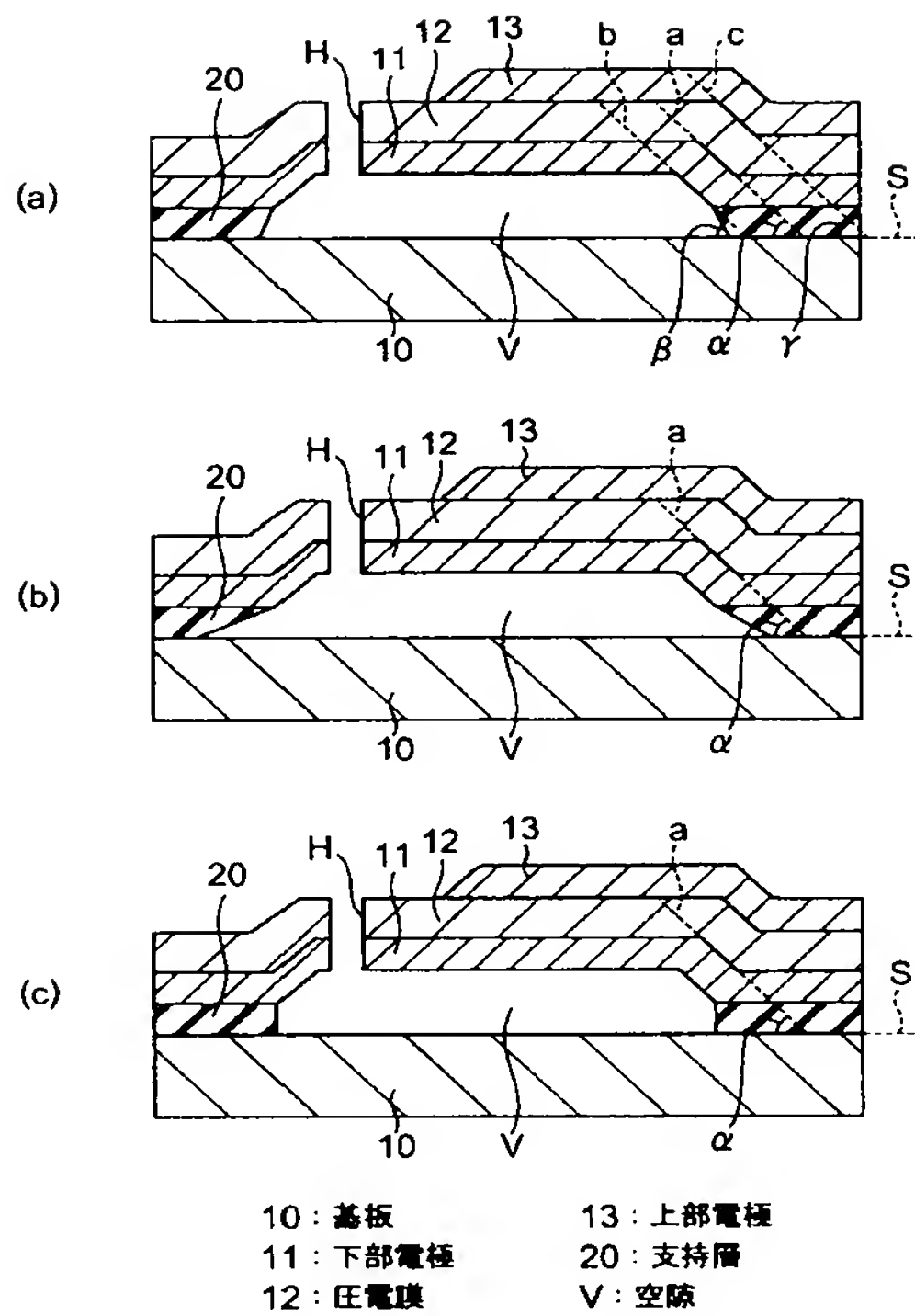
【0147】

10 … シリコン基板、10a … 凹部、11 … 下部電極、11a … 第 1 下部電極、11b … 第 2 下部電極、12 … 圧電膜、13 … 上部電極、20 … 支持層、21 … 絶縁膜、21a … 絶縁膜、22 … 支持層、22a … 第 1 支持層、22b … 第 2 支持層、22c … 第 3 支持

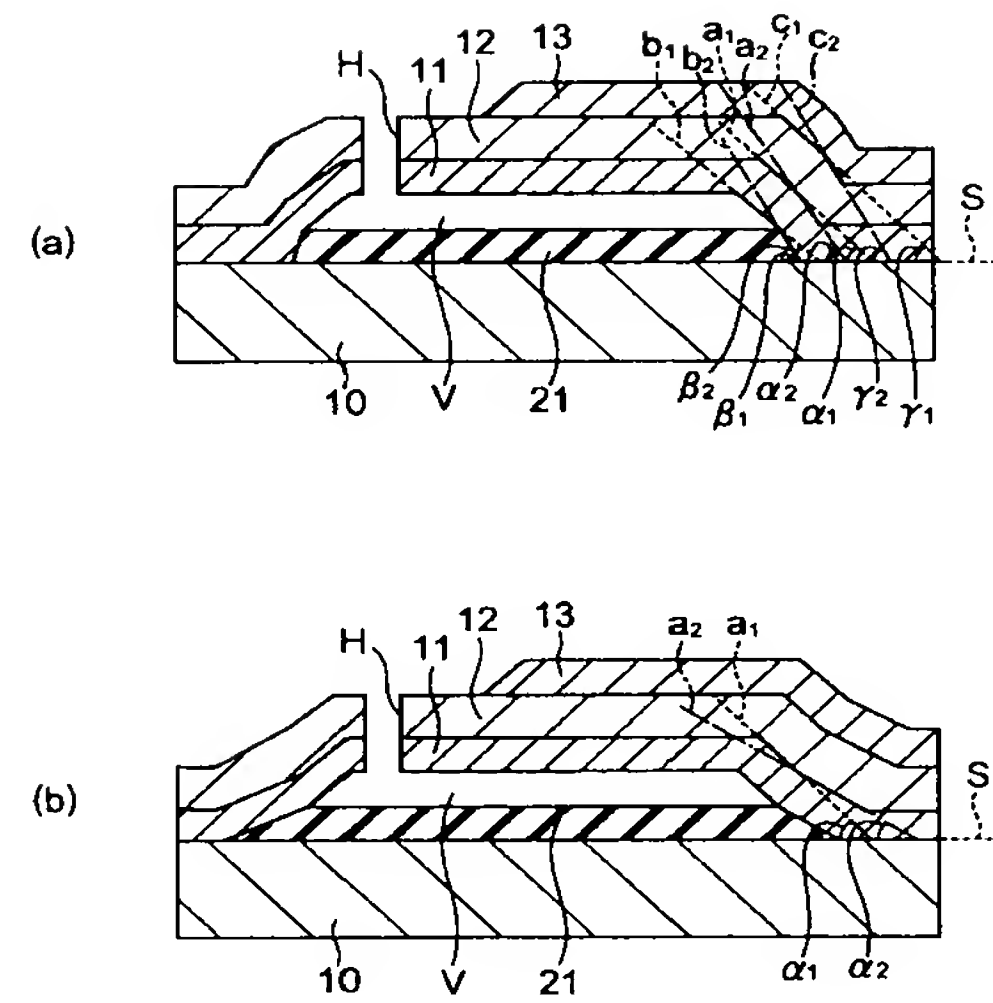
50

層、23…支持層、30…第1マスク層、31…第2マスク層、32, 33, 34…マスク層、H…開口部、V…空隙、R…曲面、E…空隙の内壁面において基板の表面と接する部分、RS…レジスト膜

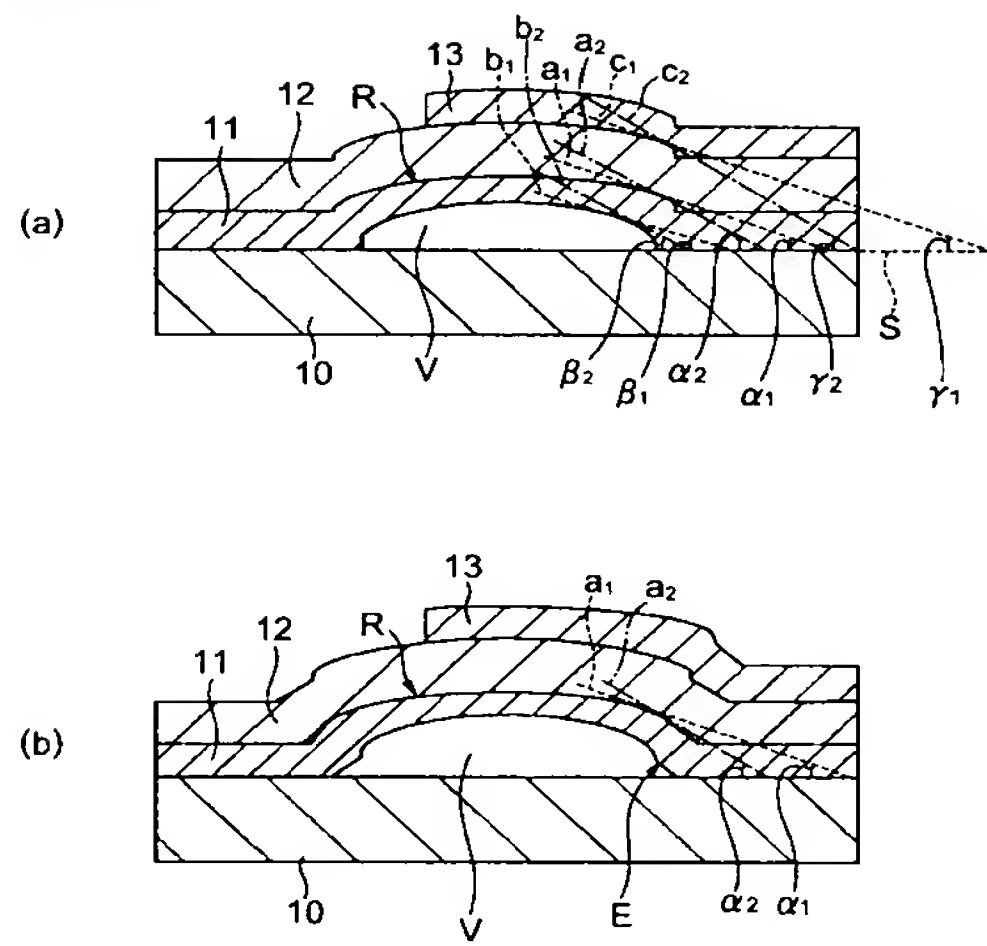
【図1】



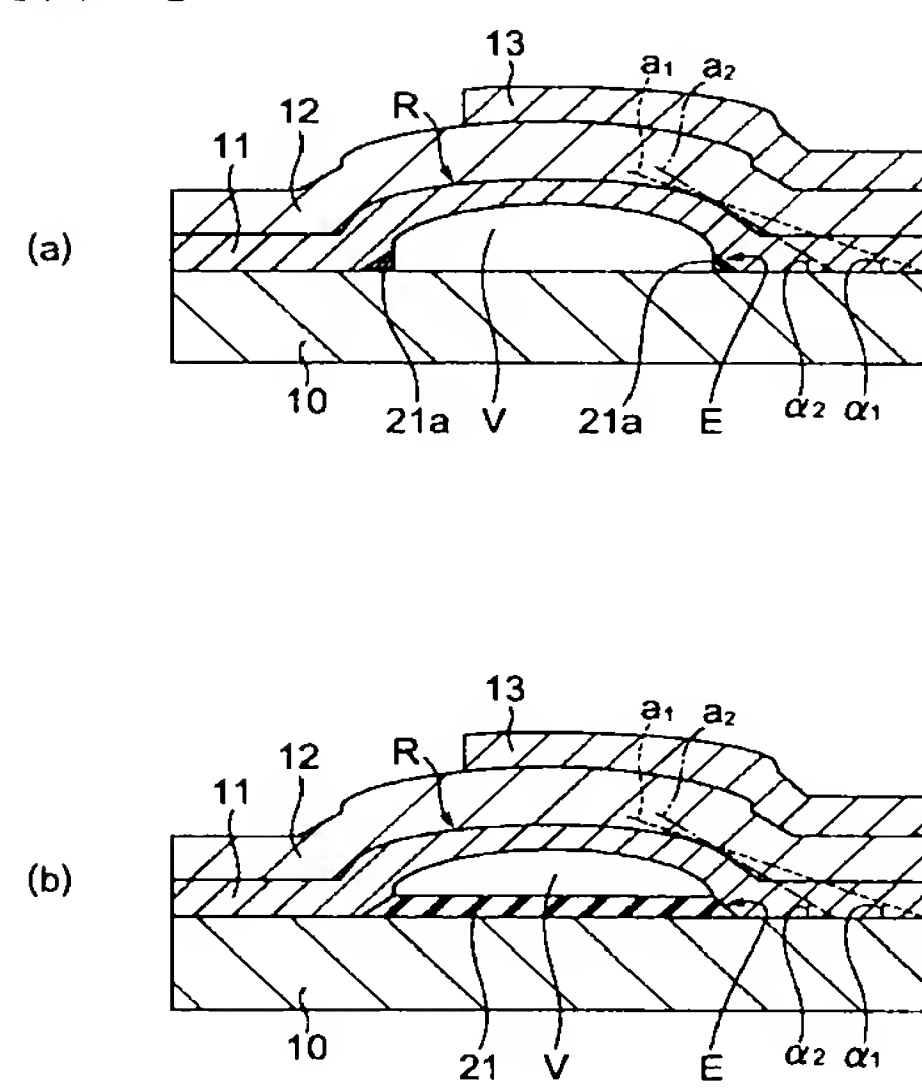
【図2】



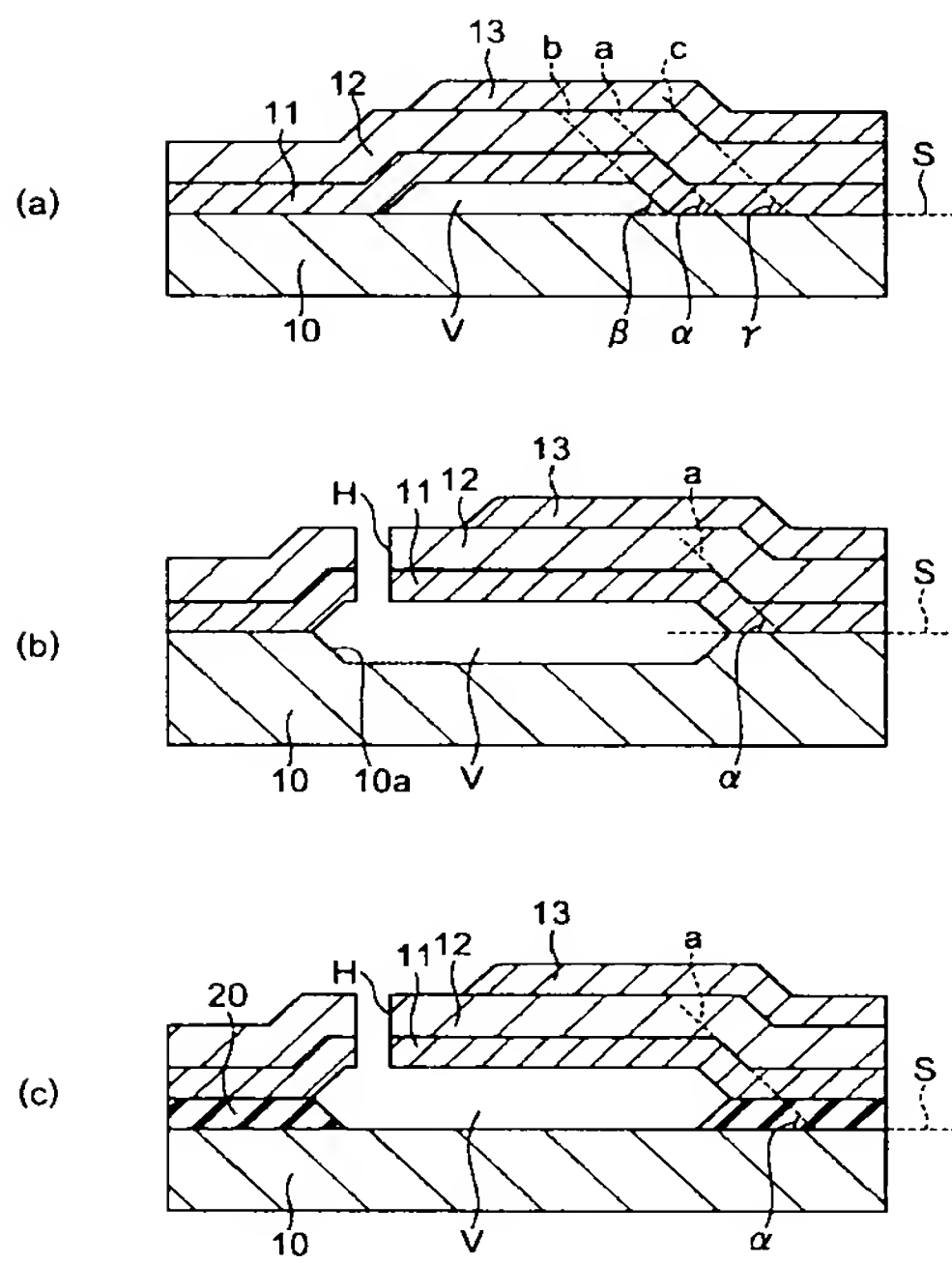
【図 3】



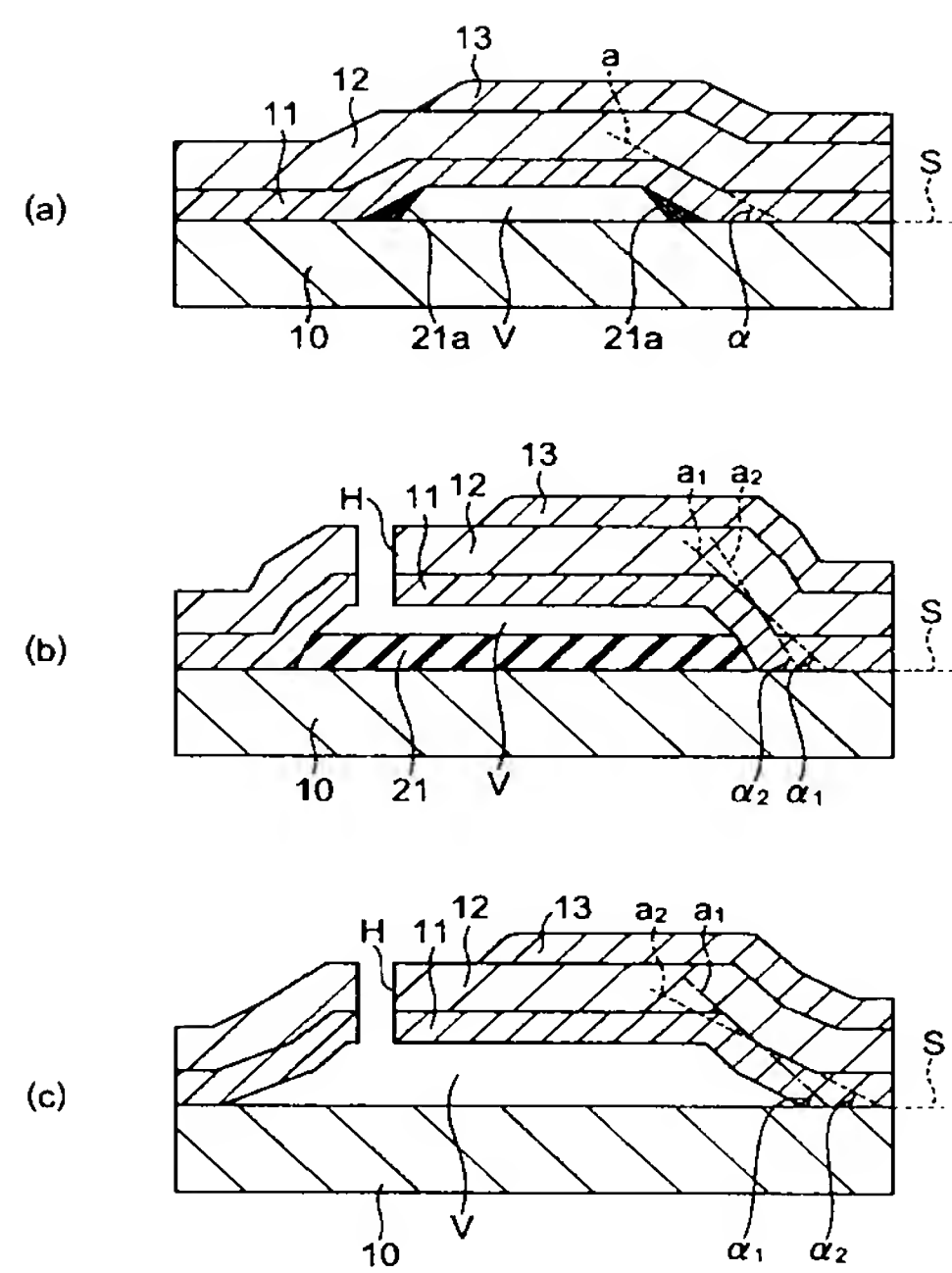
【図 4】



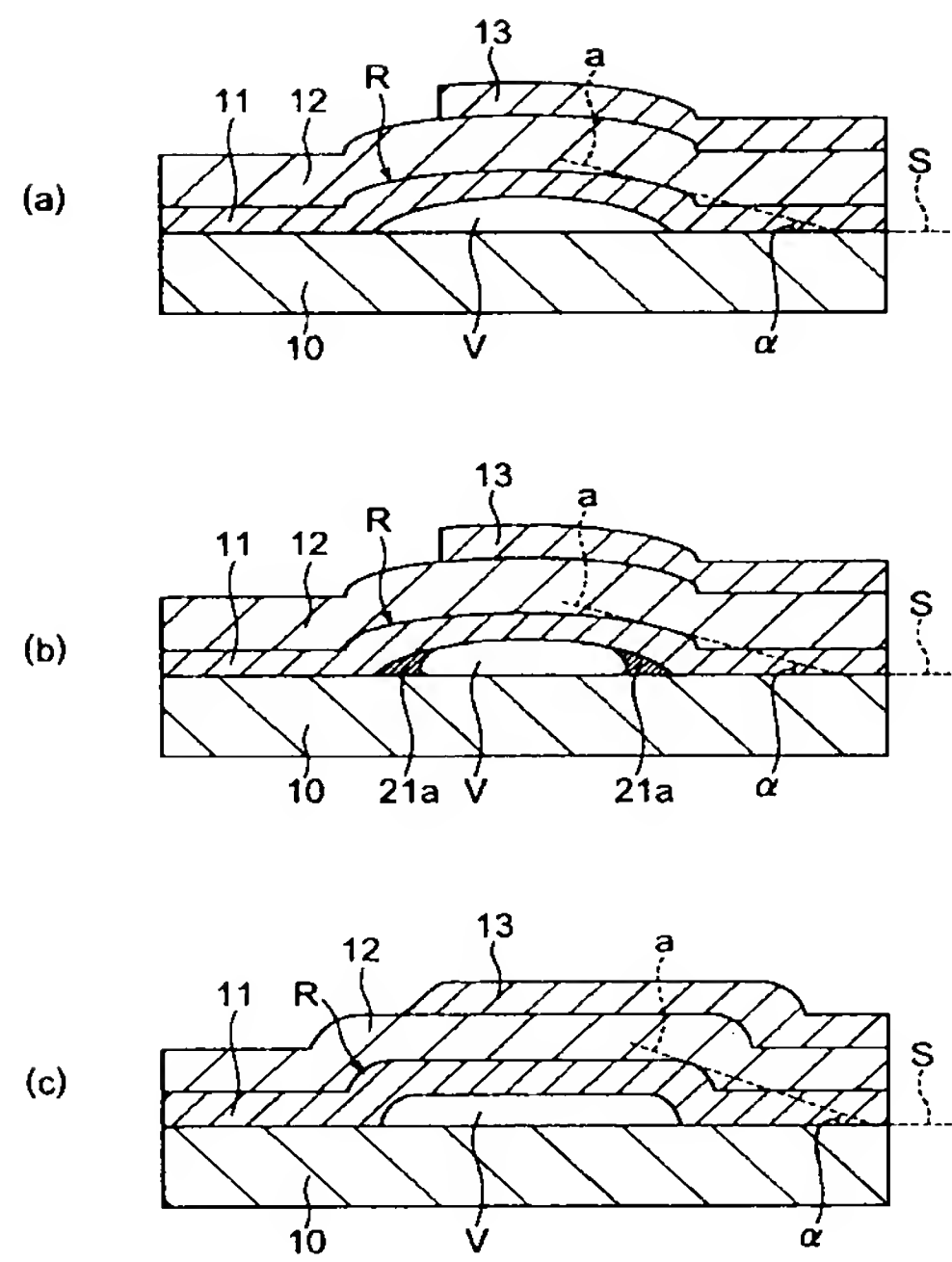
【図 5】



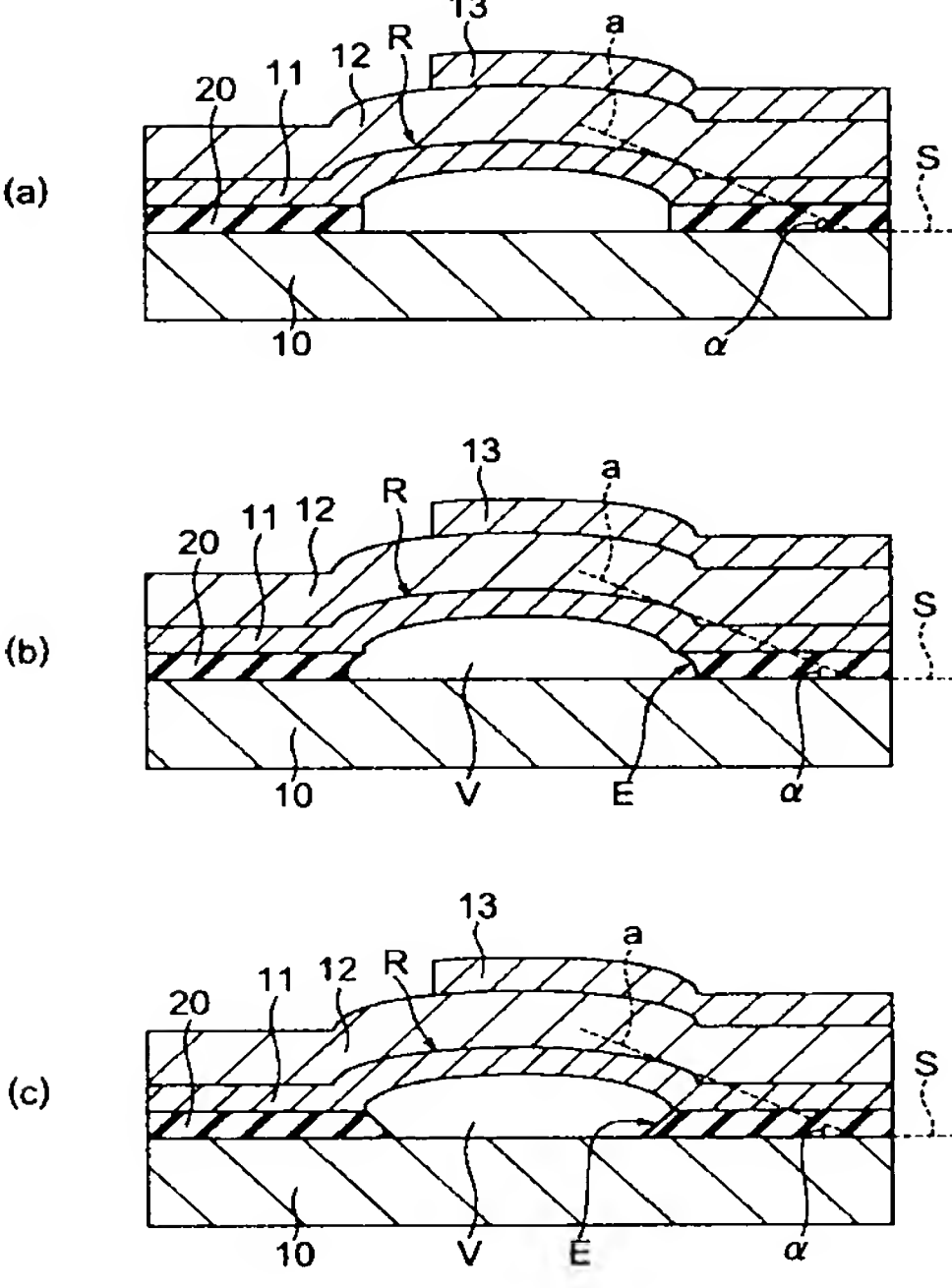
【図 6】



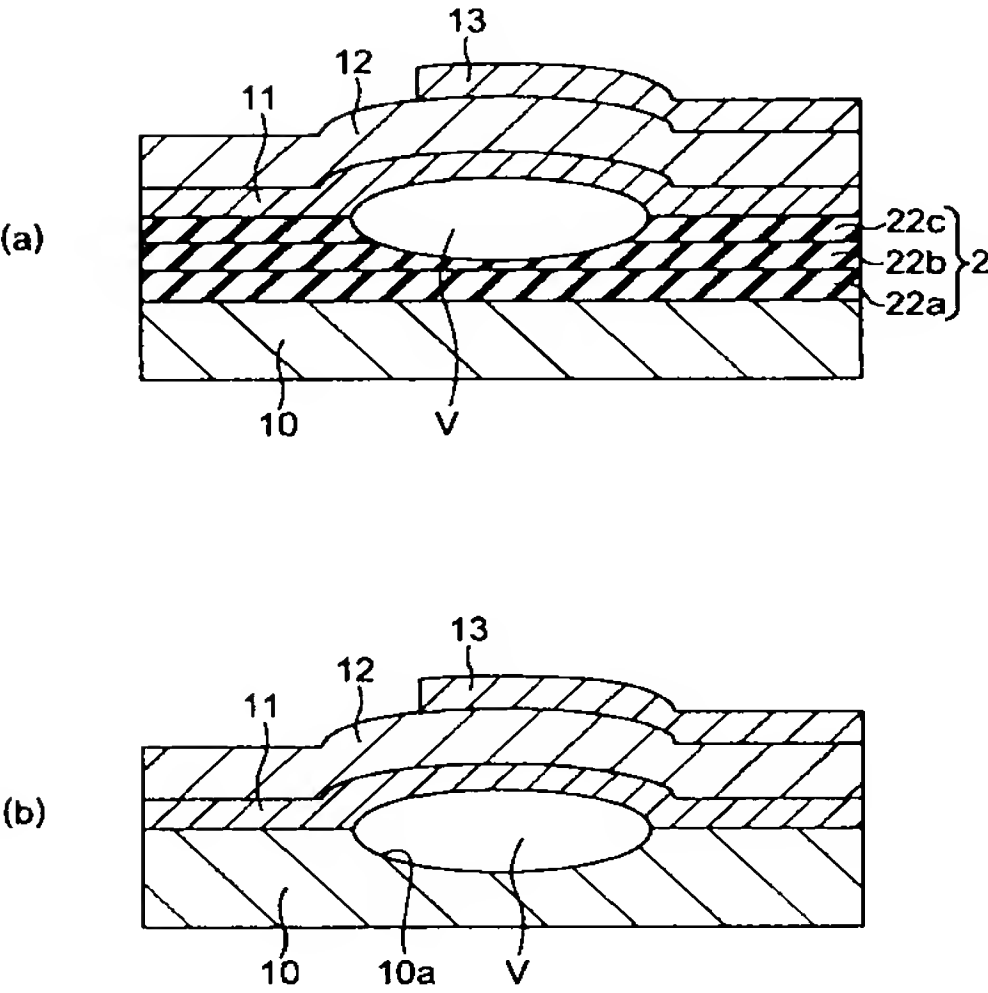
【図 7】



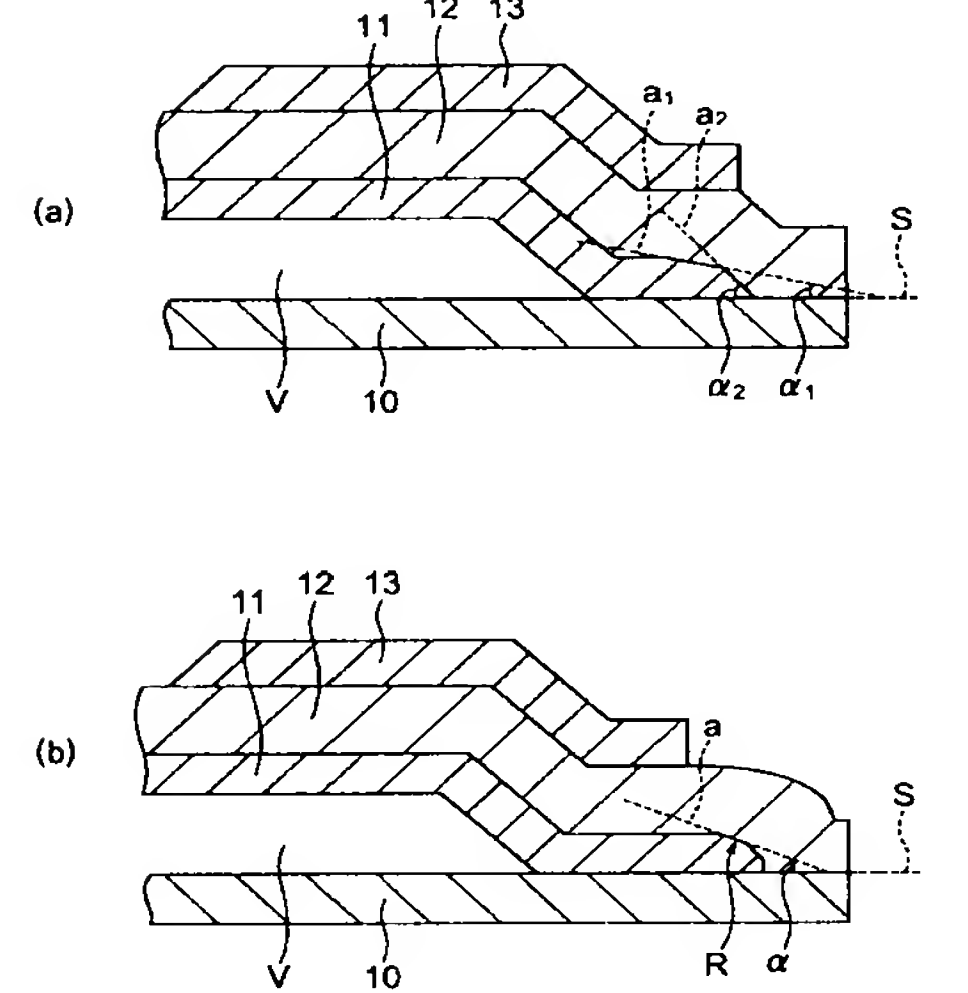
【図 8】



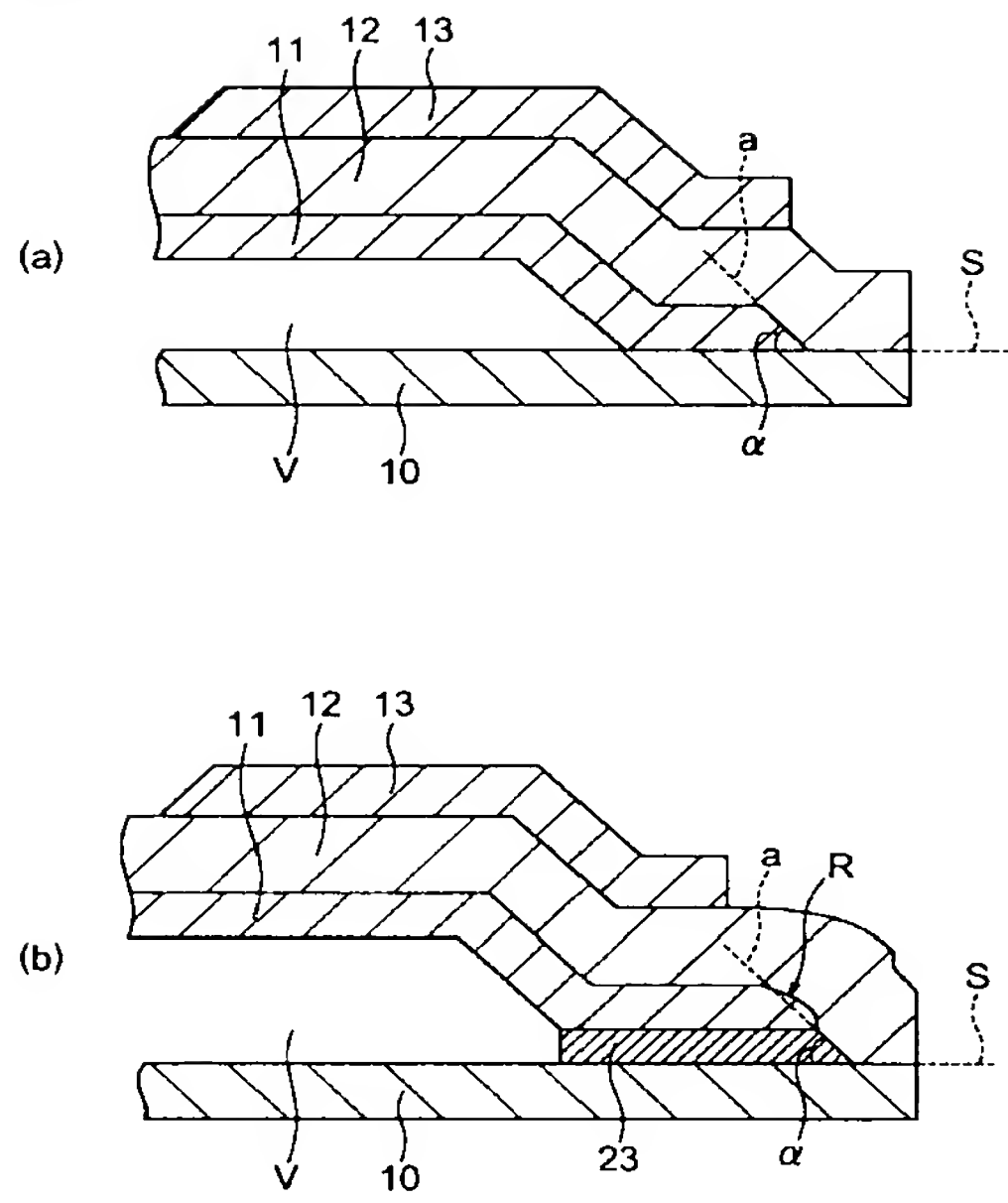
【図 9】



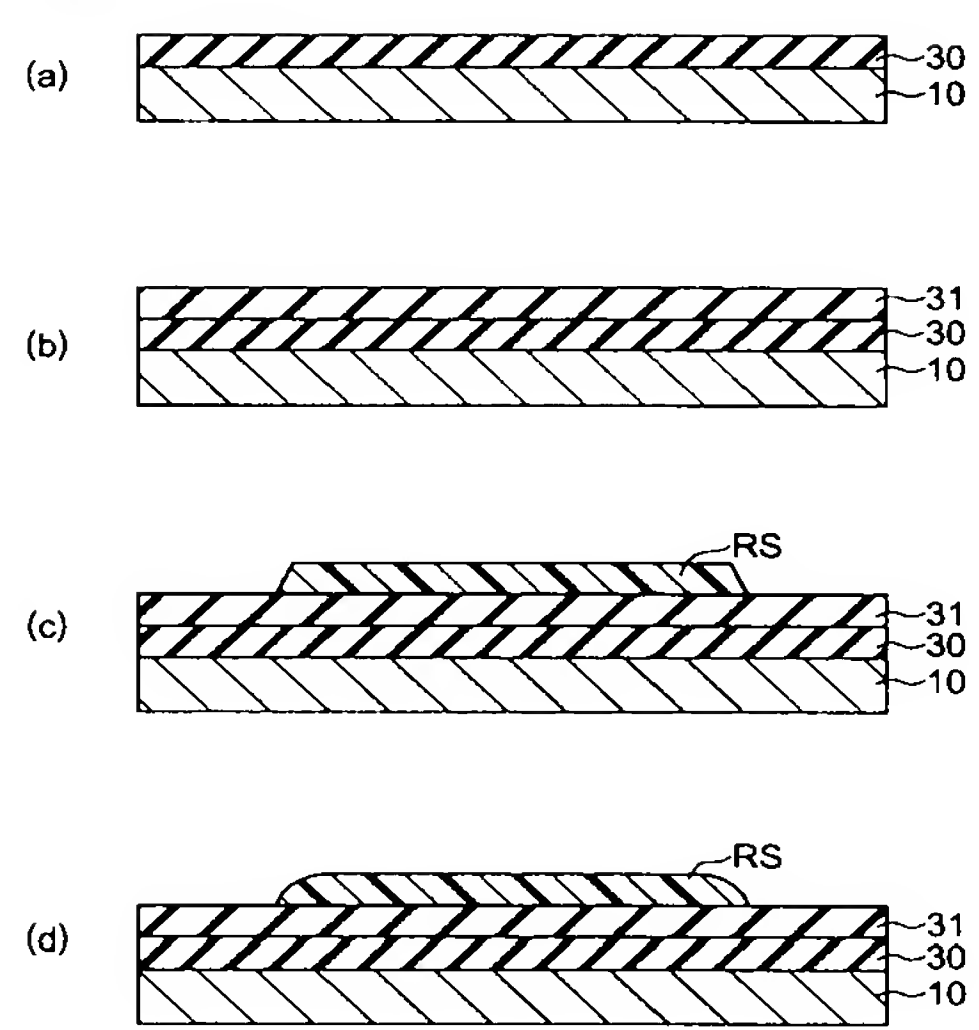
【図 10】



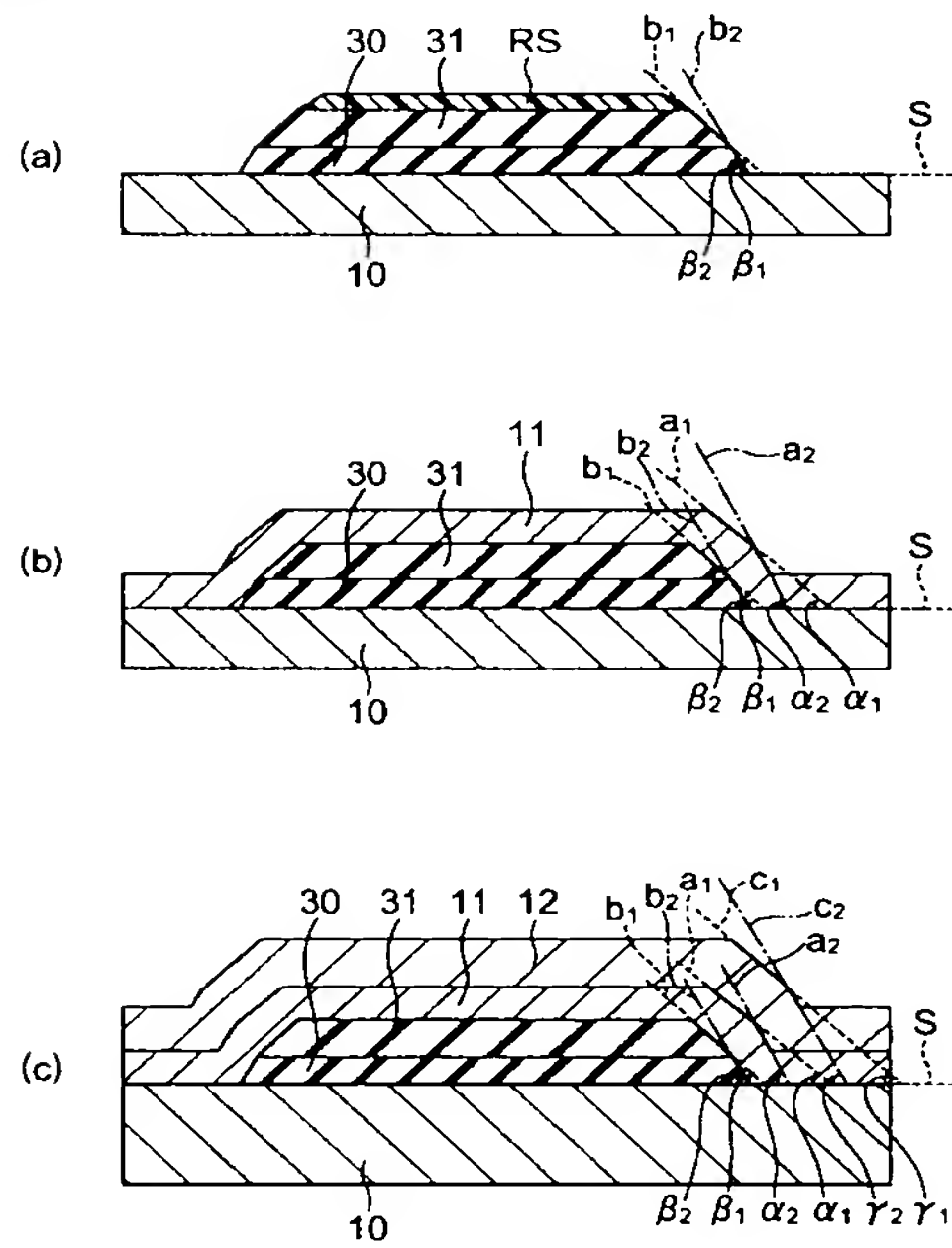
【図 1 1】



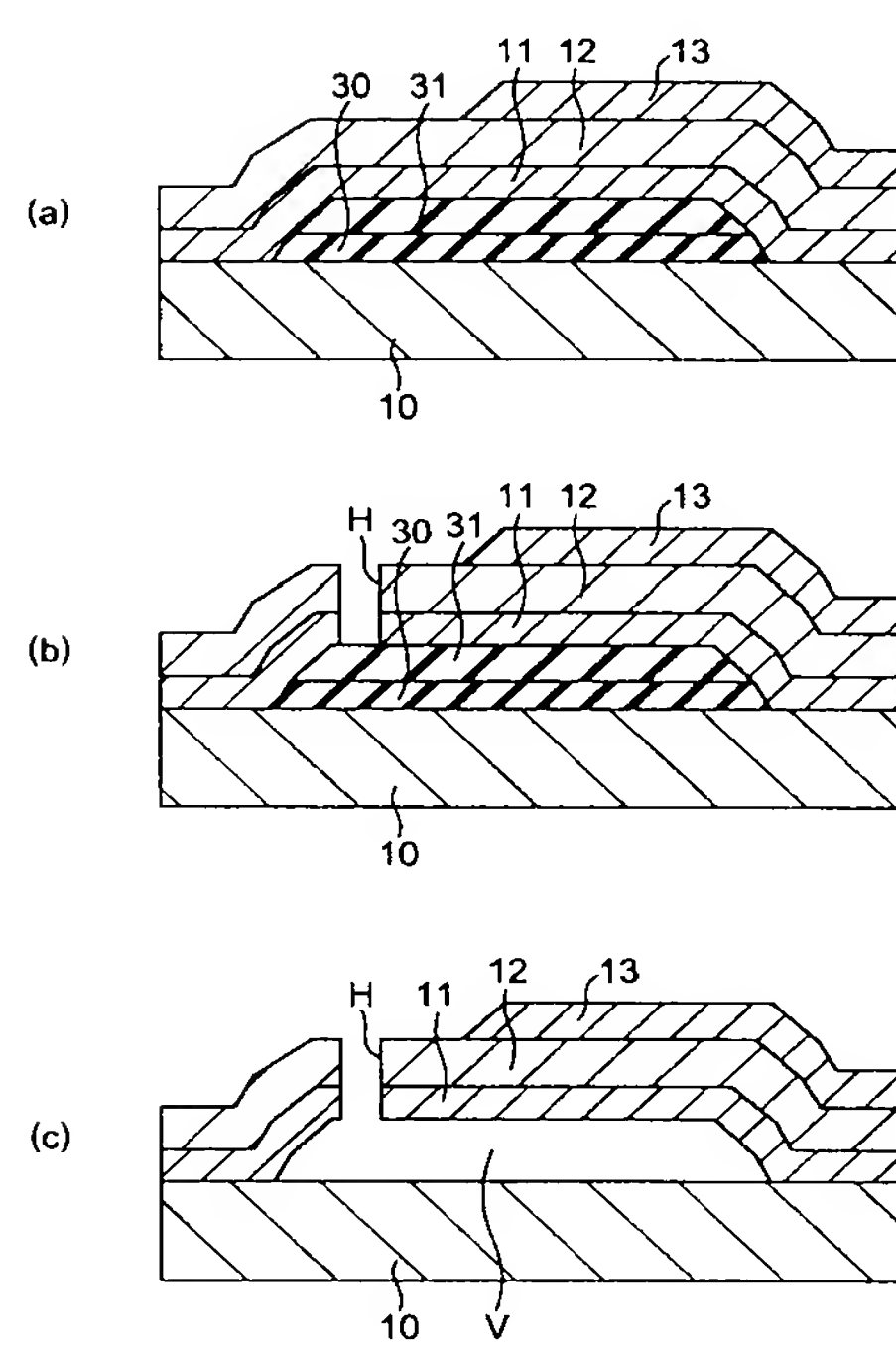
【図 1 2】



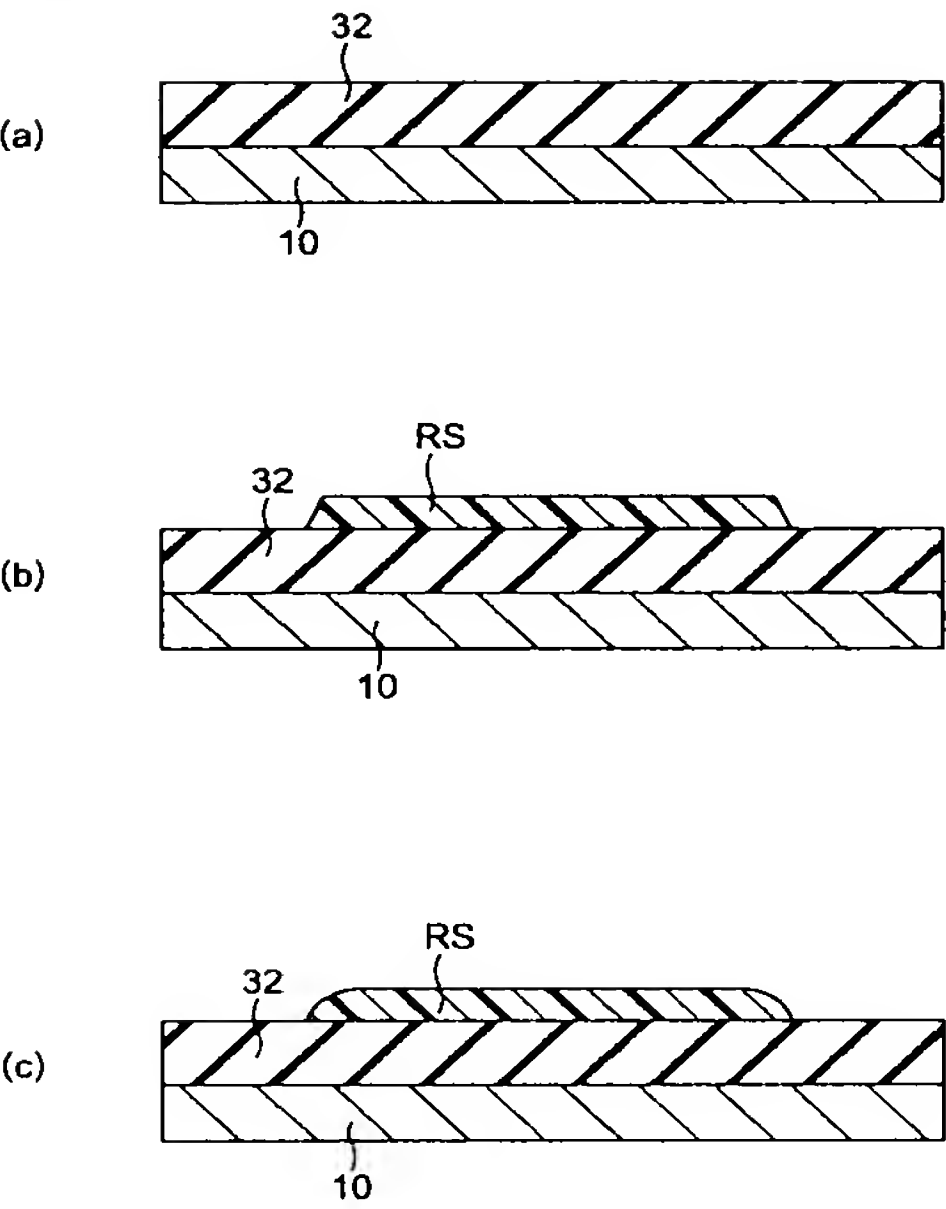
【図 1 3】



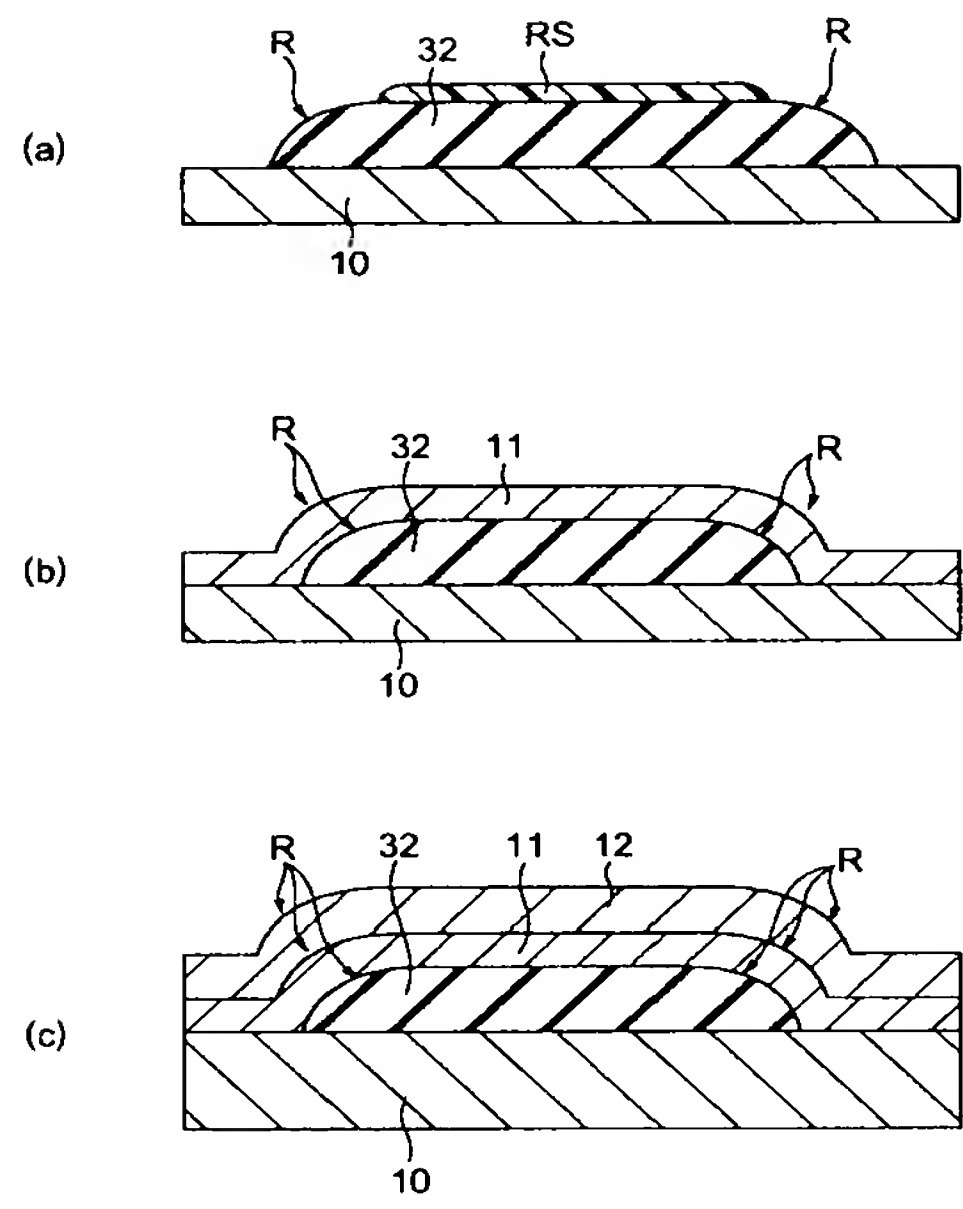
【図 1 4】



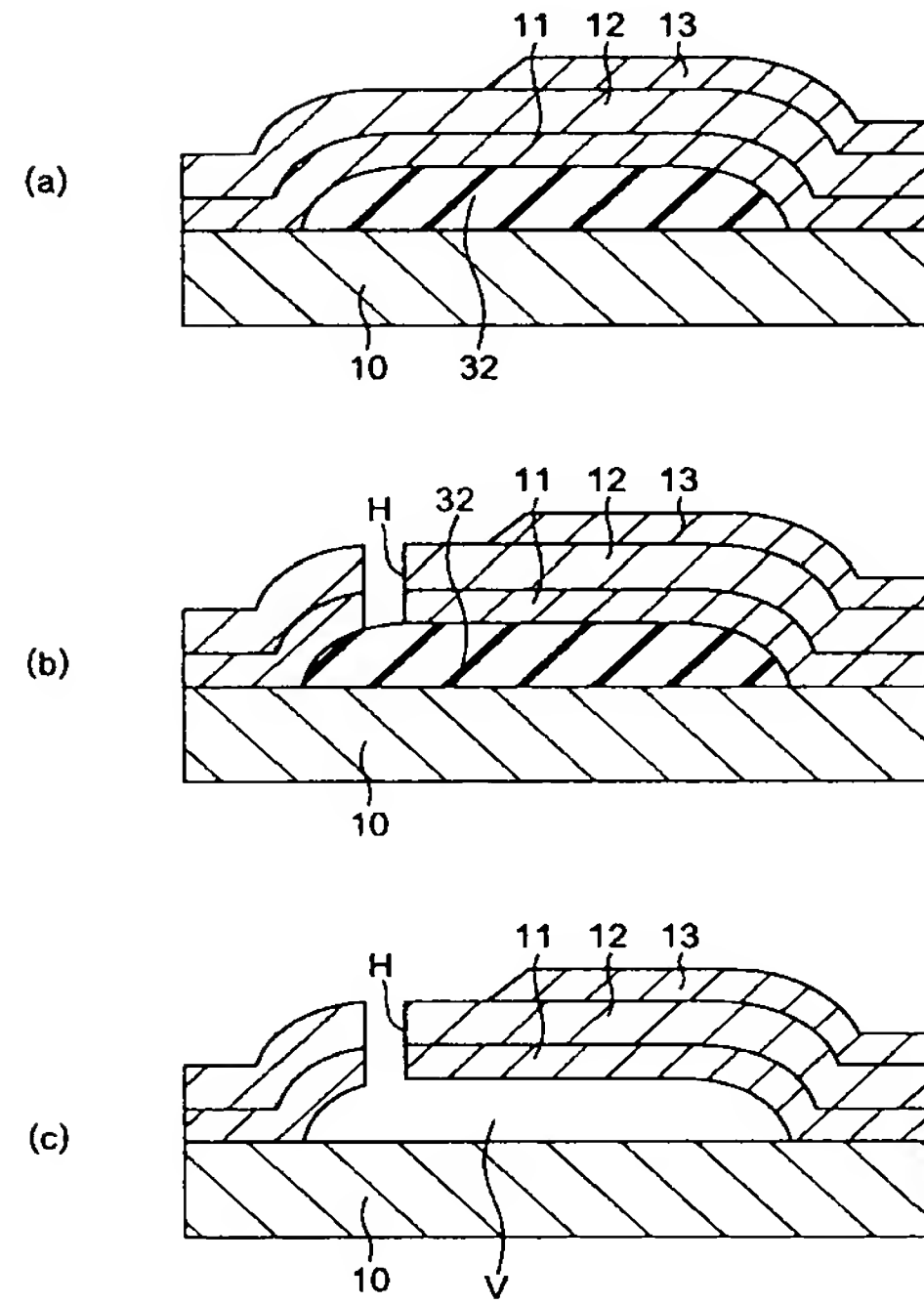
【図 15】



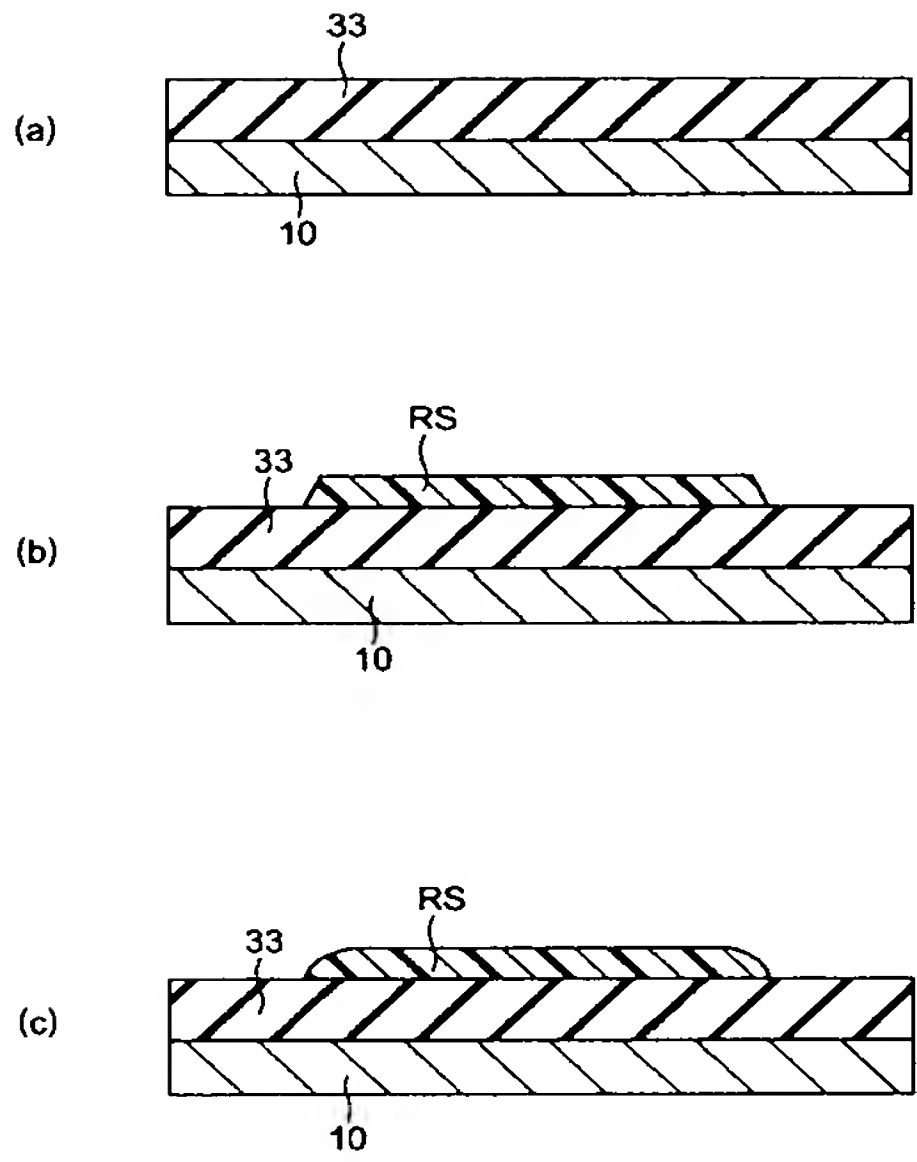
【図 16】



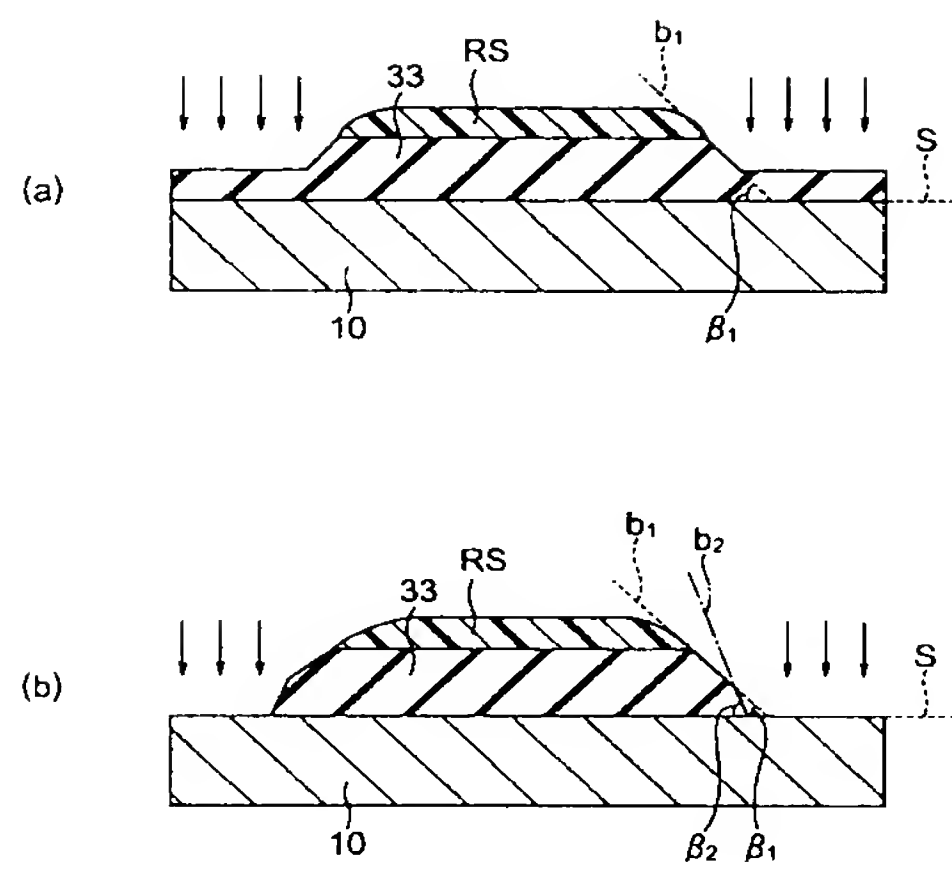
【図 17】



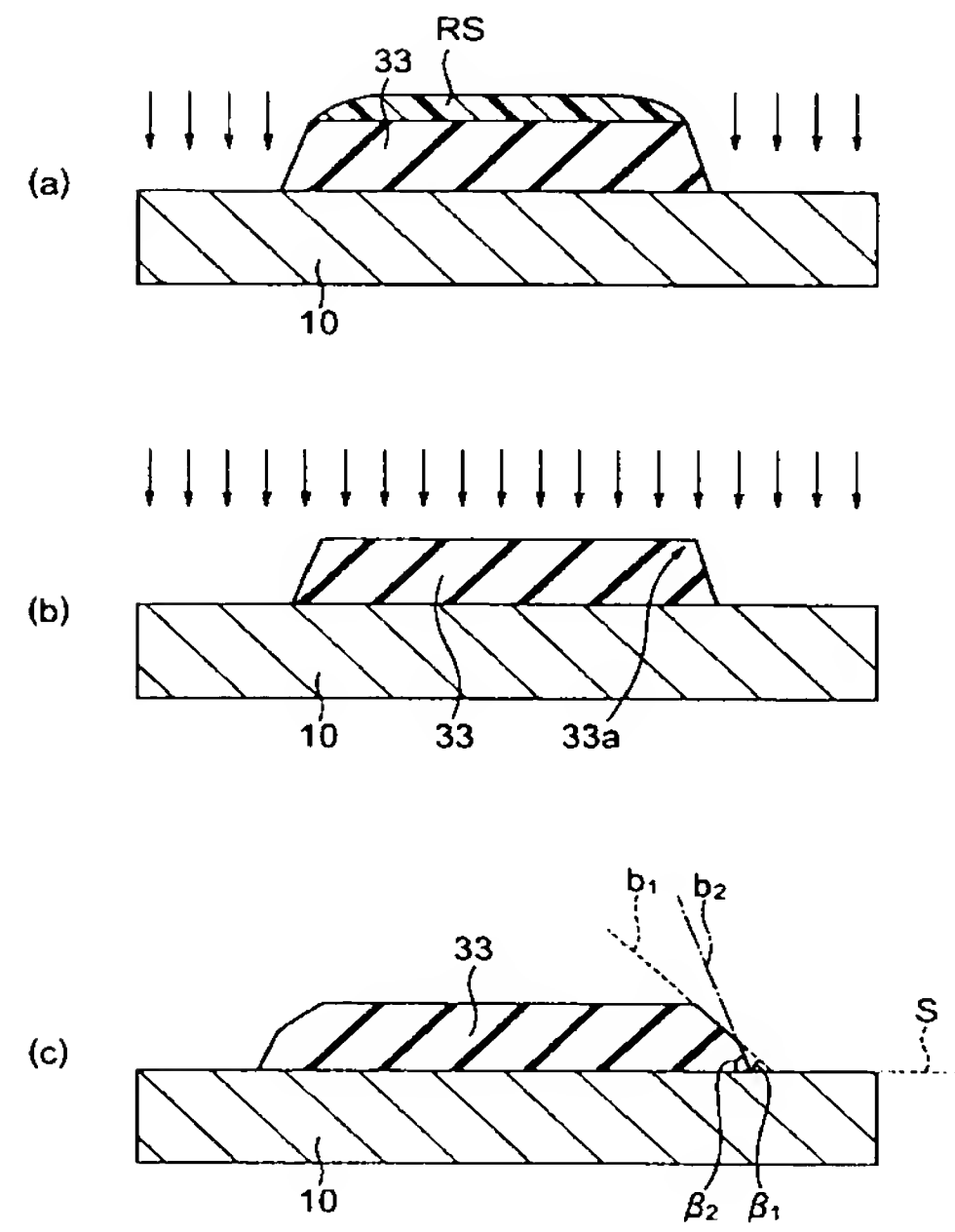
【図 18】



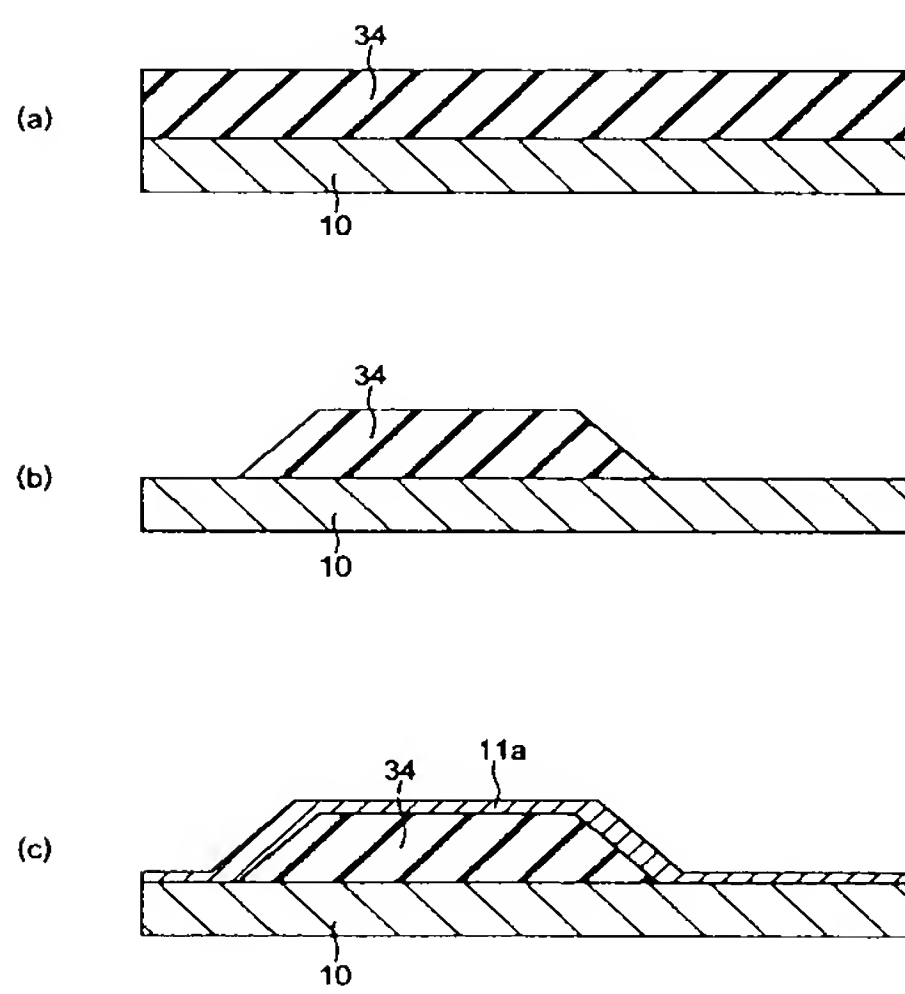
【図 19】



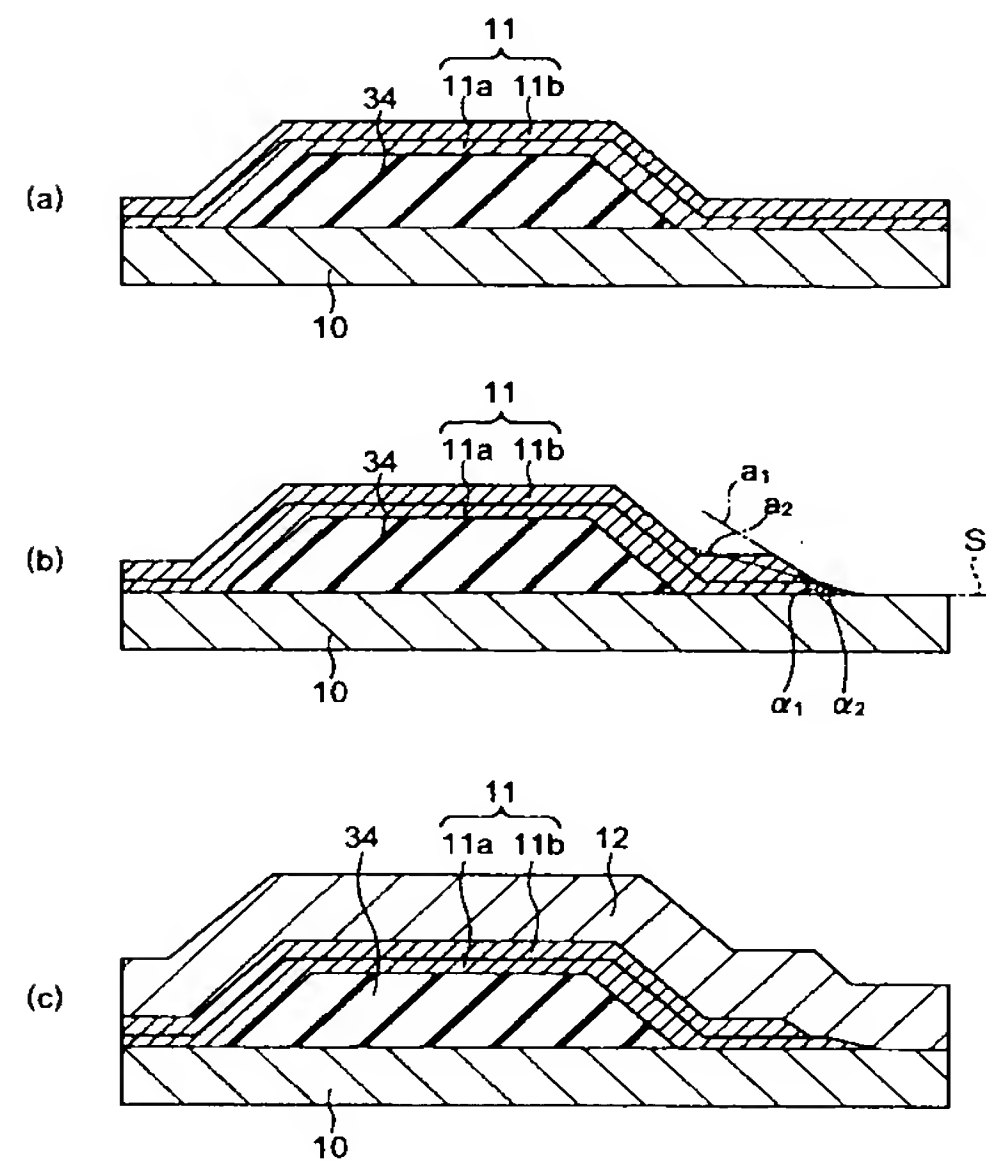
【図 20】



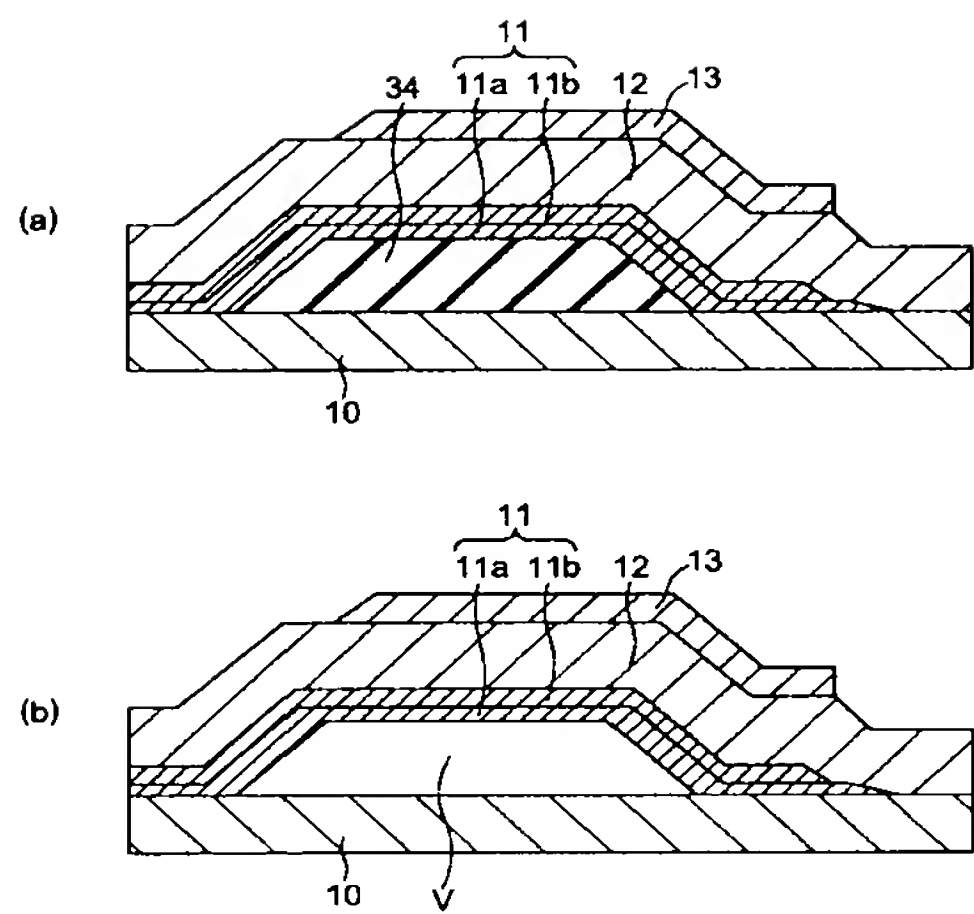
【図 21】



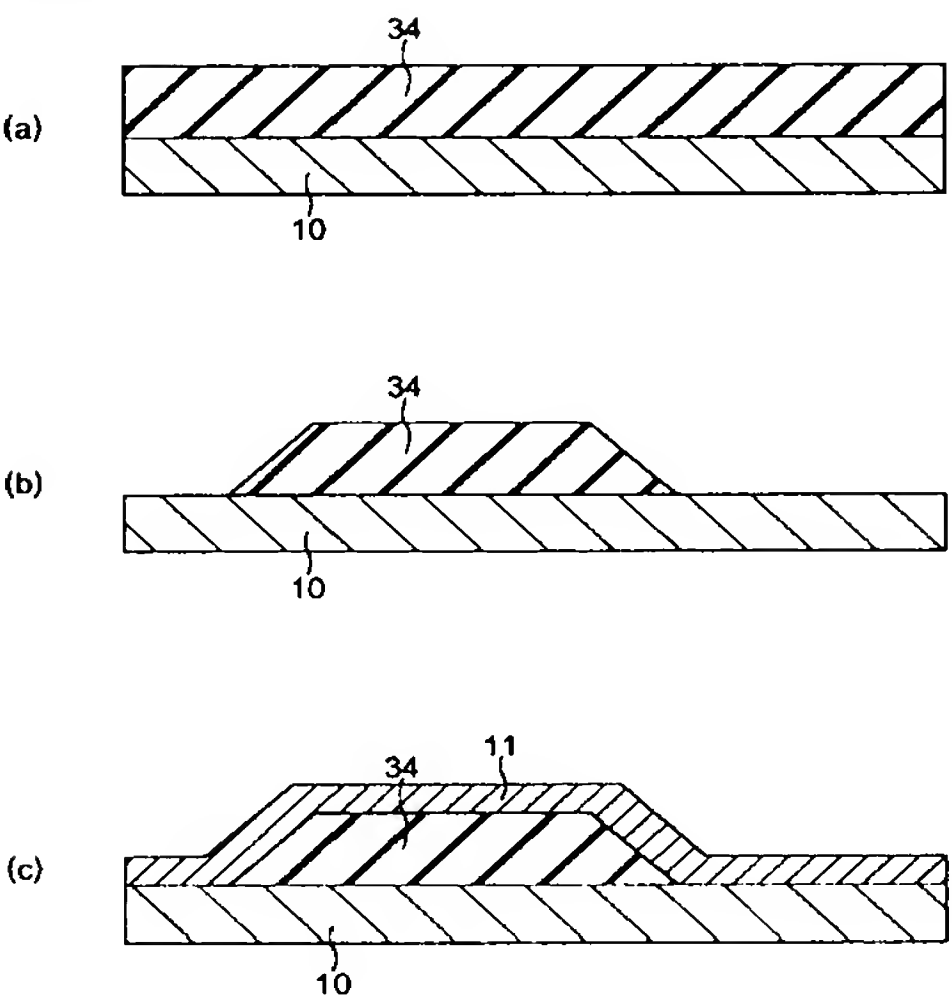
【図 22】



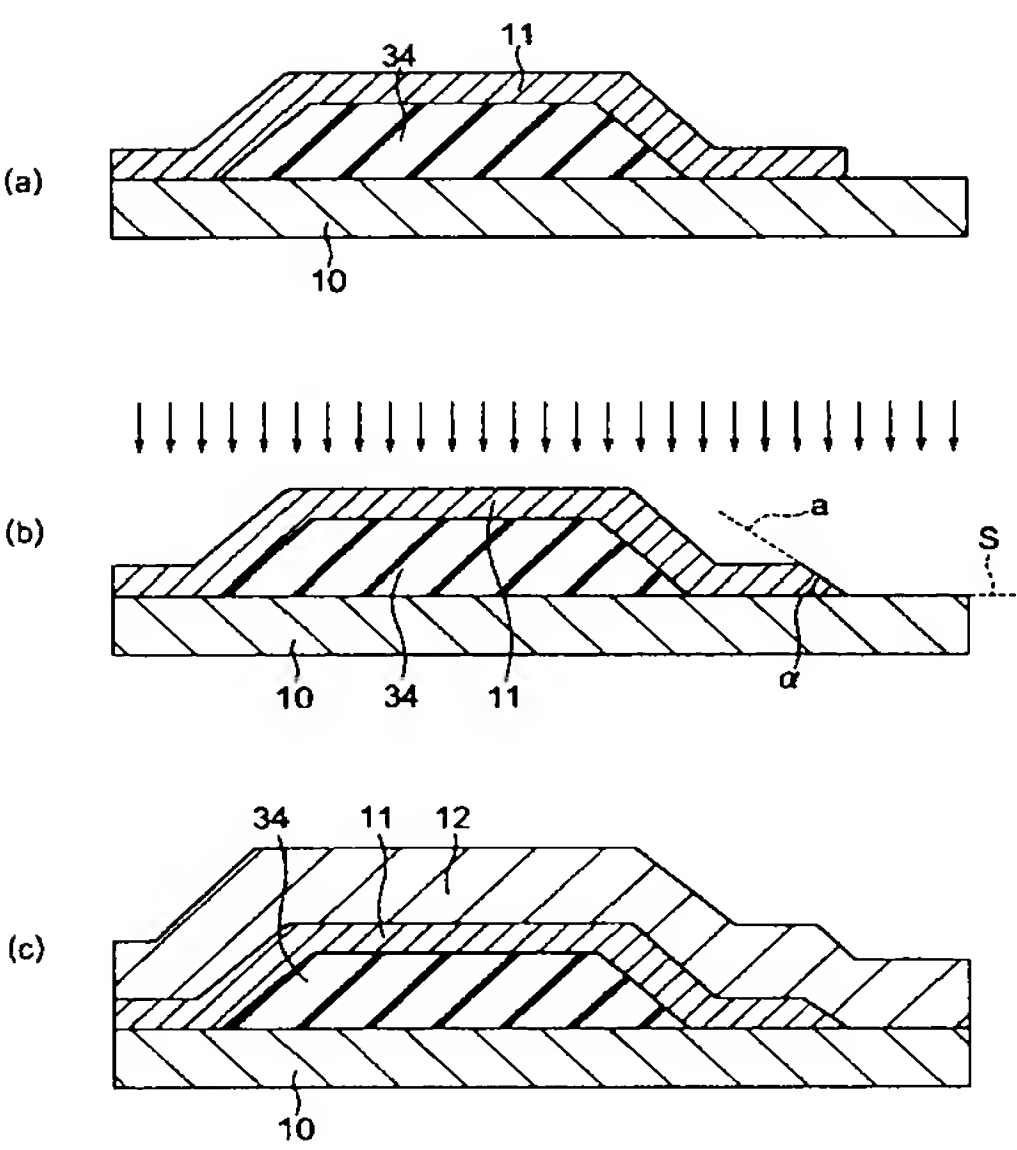
【図 2 3】



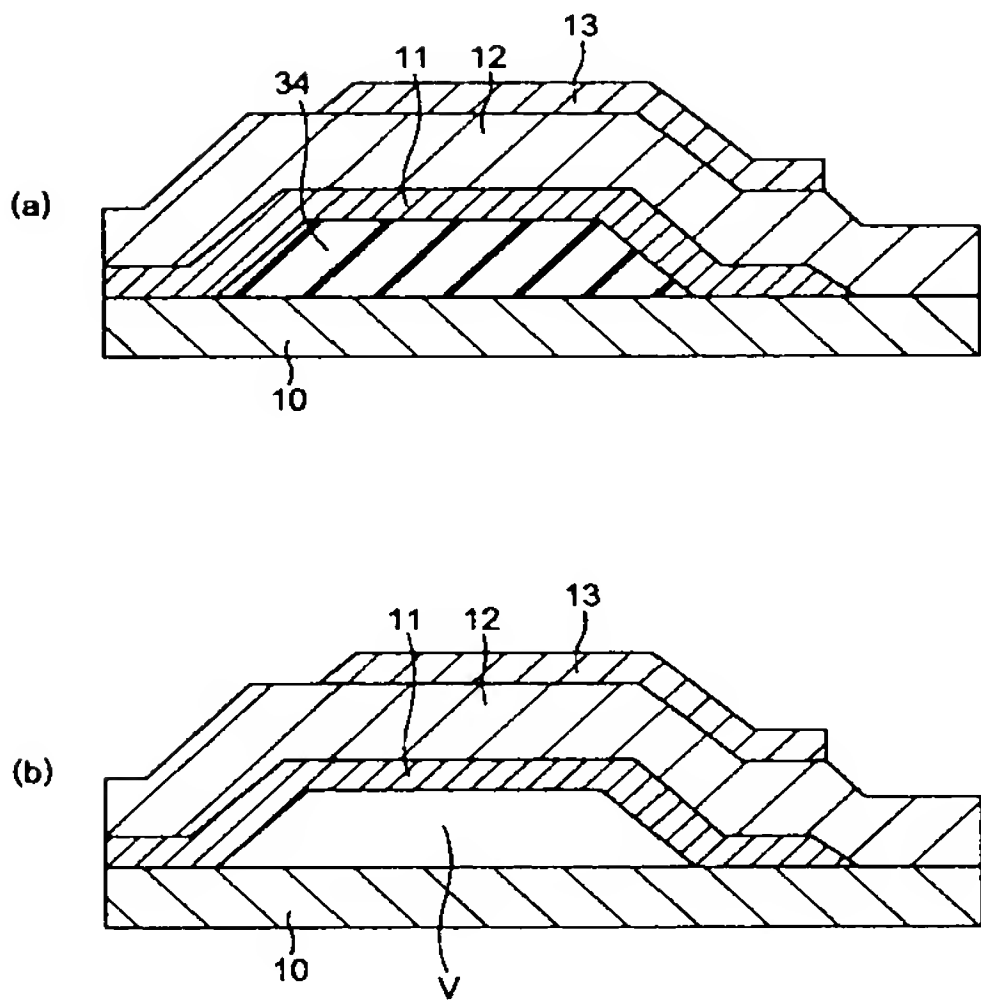
【図 2 4】



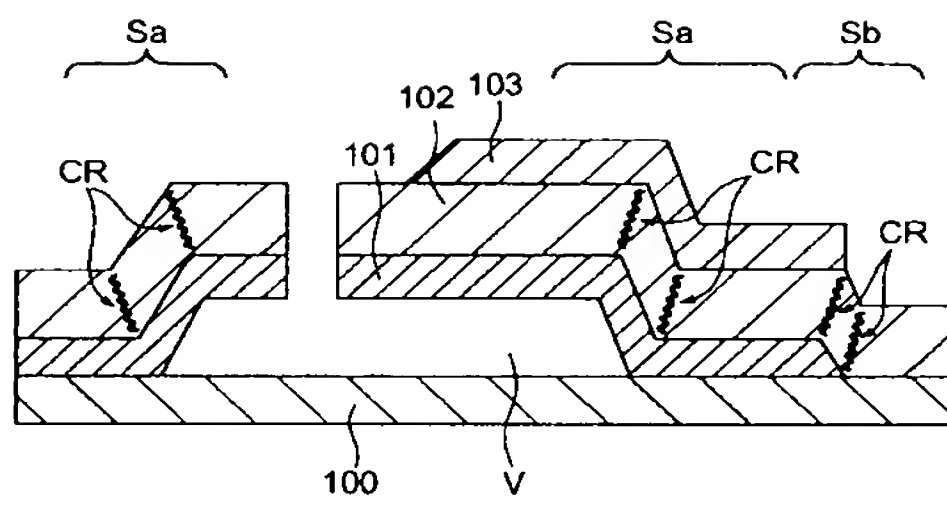
【図 2 5】



【図 2 6】



【図 27】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

H 0 1 L 21/302 1 0 5 A

(72)発明者 佐藤 圭

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 古井 りえ子

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 末高 智恵

東京都品川区北品川6丁目7番35号 ソニー株式会社内

Fターム(参考) 5F004 AA03 BA14 BD03 CA02 CA03 DA01 DA04 DA16 DA18 DA23

DA26 DB08 DB10 DB26 EA32 EB08

5J108 BB07 BB08 CC08 CC11 CC12 FF02 KK01 KK02 MM11 MM14